

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09034783 A

(43) Date of publication of application: 07.02.97

(51) Int. Cl **G06F 12/08**
G06F 12/08
G06T 1/60

(21) Application number: 07178628

(22) Date of filing: 14.07.95

(71) Applicant: MITSUBISHI ELECTRIC CORP

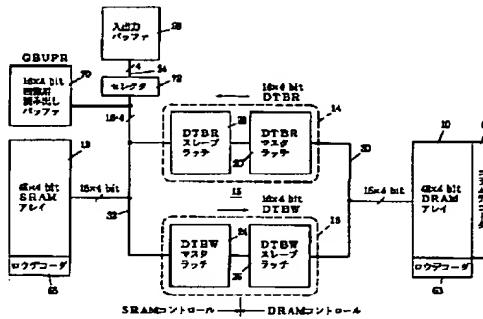
(72) Inventor: YAMAZAKI AKIRA
DOSAKA KATSUMI

(54) SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory device for the use of multi-media with which efficient cache for image data and CUP cache with a high hit rate can be provided.

SOLUTION: This semiconductor memory device is provided with a DRAM (dynamic RAM) array 10, SRAM (static RAM) array 12, DTBW 16 (write data transfer buffer) for transferring data from the SRAM array to the DRAM array, and DTBR (read data transfer buffer) 14 for transferring data from the SRAM array to the DRAM array. These DTBR and DTBW can be accessed through an input / output buffer 28. This semiconductor memory device is further provided with a read buffer 70 for image for storing only data for image. This read buffer 70 for image outputs its stored data through the input / output buffer 28 to the device outside, receives and stores image data from the DRAM array through the DTBR 14. The cache for image data in the optimum size can be provided.



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-34783

(43)公開日 平成9年(1997)2月7日

(51)Int.Cl. ⁶ G06F 12/08 310 G06T 1/60	識別記号 7623-5B 7623-5B 7623-5B 15/64	府内整理番号 F I G06F 12/08 310 15/64	F I C U Z E	技術表示箇所
--	--	---	-------------------------	--------

審査請求 未請求 請求項の数9 O L (全30頁)

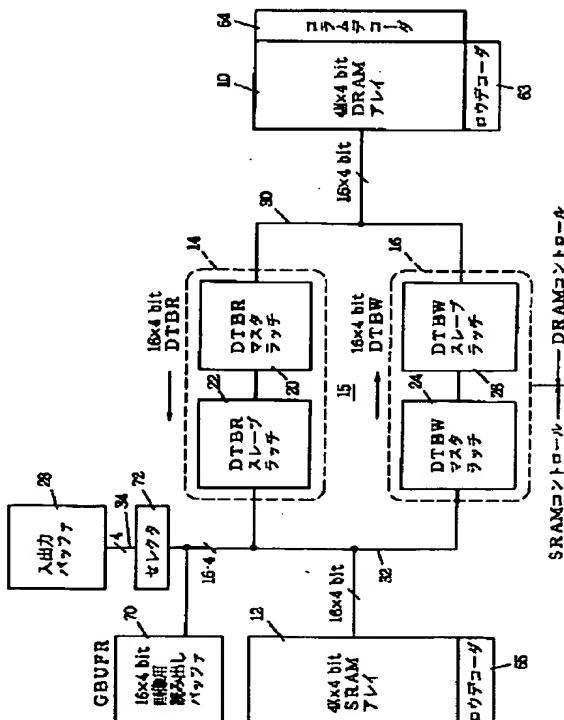
(21)出願番号 特願平7-178628	(71)出願人 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日 平成7年(1995)7月14日	(72)発明者 山崎 彰 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社ユー・エル・エス・アイ開発研究 所内
	(72)発明者 堂阪 勝己 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社ユー・エル・エス・アイ開発研究 所内
	(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】半導体記憶装置

(57)【要約】

【課題】効率的な画像データ用キャッシュおよびヒット率の高いCPUキャッシュを実現することのできるマルチメディア用途向け半導体記憶装置を提供する。

【解決手段】この半導体記憶装置は、DRAMアレイ10とSRAMアレイ12と、SRAMアレイからDRAMアレイへデータを転送するDTBW16と、SRAMアレイからDRAMアレイへデータを転送するDTBR14を含む。このDTBRおよびDTBWは、入出力バッファ28を介してアクセス可能である。この半導体記憶装置は、さらに、画像用データのみを格納する画像用読出バッファ70を備える。この画像用読出バッファ70は、入出力バッファ28を介して装置外部へその格納データを出力し、またDRAMアレイからDTBR14を介して画像データを受けて格納する。最適なサイズの画像データ用キャッシュを実現することができる。



【特許請求の範囲】

【請求項 1】 複数のメモリセルを有する第 1 のメモリアレイ、

複数のメモリセルを有する第 2 のメモリアレイ、

データ格納手段を含み、前記第 1 および第 2 のメモリアレイの間に設けられかつ前記第 1 および第 2 のメモリアレイの間のデータ転送を行なうためのデータ転送手段、前記第 1 のメモリアレイとデータの授受を行なう、特定の処理に用いられるデータを記憶する記憶手段、および前記データ転送手段、前記第 2 のメモリアレイおよび前記記憶手段に選択的に結合され、装置外部とデータ入出力を行なうための入出力回路を備える、半導体記憶装置。

【請求項 2】 前記記憶手段は、

前記第 1 のメモリアレイから前記データ転送手段を介して与えられるデータを記憶し、該記憶データを前記入出力回路を介して装置外部へ出力する読み出データ記憶手段を備える、請求項 1 記載の半導体記憶装置。

【請求項 3】 前記記憶手段は、

前記入出力回路を介して装置外部から与えられるデータを格納し、該格納データを前記データ転送手段を介して前記第 1 のメモリアレイへ伝達する書き込みデータ記憶手段を備える、請求項 1 または 2 記載の半導体記憶装置。

【請求項 4】 前記記憶手段は、前記データ転送手段と並列に設けられ、前記入出力回路から与えられたデータを格納しつつ該格納したデータを前記第 1 のメモリアレイへ転送する記憶／転送手段を備える、請求項 1 記載の半導体記憶装置。

【請求項 5】 前記記憶手段は、

前記データ転送手段と並列に前記第 1 のメモリアレイに結合され、前記第 1 のメモリアレイからのデータを受けて格納し、かつ該格納データを前記入出力回路を介して装置外部へ出力する記憶／転送手段を備える、請求項 1 記載の半導体記憶装置。

【請求項 6】 前記データ転送手段は、

前記第 1 のメモリアレイから転送されたデータを受けて格納するマスタラッッチ手段と、

前記マスタラッッチ手段のラッッチデータを受けるスレーブラッッチ手段とを備え、前記スレーブラッッチ手段は、受け取ったデータを前記第 2 のメモリアレイへ転送しつつ前記入出力回路へ選択的に伝達する手段を含み、

前記記憶手段は、

前記マスタラッッチ手段と前記入出力回路との間に前記スレーブラッッチ手段と並列に設けられ、前記マスタラッッチ手段からのデータを受けて格納しつつ該格納データを前記入出力回路へ選択的に伝達する手段を含む、請求項 1 記載の半導体記憶装置。

【請求項 7】 前記データ転送手段は、

前記第 2 のメモリアレイおよび前記入出力回路から選択的に与えられるデータを受けて格納するマスタラッッチ手

段と、

前記マスタラッッチ手段の格納データを受けて前記第 1 のメモリアレイへ転送するためのスレーブラッッチ手段とを含み、

前記記憶手段は、

前記入出力回路からのデータを格納しつつ該格納データを前記スレーブラッヂ手段を介して前記第 1 のメモリアレイへ転送する前記マスタラッヂ手段と並列に設けられる手段を備える、請求項 1 記載の半導体記憶装置。

10 【請求項 8】 前記データ転送手段は、複数ビットのデータを前記第 1 および第 2 のメモリアレイの間で同時に転送する手段を含み、

前記記憶手段は、

前記複数ビットのデータを記憶する容量を備える、請求項 1 ないし 7 のいずれかに記載の半導体記憶装置。

【請求項 9】 前記特定の処理は画像データ処理であり、

前記記憶手段は、画像表示装置の表示画面上の 1 走査線上の画素データを格納する記憶容量を備える、請求項 1 ないし 7 のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、特に、大記憶容量のメモリと高速のメモリとが同一半導体基板上に集積化された半導体記憶装置に関する。より特定的には、この発明は画像データ処理用途に適した半導体記憶装置の構成に関する。

【0002】

【従来の技術】近年、文字情報、音声情報および動画情報等の異なるメディア情報を同一プラットホーム上で処理を行なうマルチメディアシステムが構築されつつある。このようなシステムにおいては、特に動画が有する膨大な量の画像データを高速に処理する必要があり、一般に、以下に示すような構成が用いられる。

【0003】図 22 は、従来の画像処理システムの構成を概略的に示す図である。図 22 において、画像処理システムは、データに対し必要な演算処理を行なう中央演算処理装置 (C P U) 1 と、画像データの処理および画像表示装置上へのこの画像データの表示を行なうグラフィックエンジン 2 を含む。グラフィックエンジン 2 は、中央演算処理装置 1 と異なり、画像データの処理のみを行ない、一方、中央演算処理装置 1 は、画像データの処理および命令の実行、およびシステム全体の動作制御などを実行する。

【0004】画像処理システムは、さらに、中央演算処理装置 1 およびグラフィックエンジン 2 に対するキャッシュメモリとして用いられる静态・ランダム・アクセス・メモリ (S R A M) 3 と、このシステムの主記憶として用いられるダイナミック・ランダム・アクセス・メモリ (D R A M) 4 と、グラフィックエンジン 2

に結合され、画像データのバッファメモリとして用いられるビデオメモリ（VRAM）5を含む。中央演算処理装置1、グラフィックエンジン2、SRAM3およびDRAM4は、共通データバス6を介して相互接続される。

【0005】中央演算処理装置1は、通常はSRAM3へアクセスし、このSRAM3に、必要とされるアドレスのメモリセルのデータが存在しない場合には、DRAM4へアクセスする。グラフィックエンジン2は、DRAM4へアクセスし、必要なデータをビデオメモリ5に格納し、必要な処理を行なった後、再びこのビデオメモリ5へデータを書込む。画像表示装置への表示では、このビデオメモリ5に格納されたデータを順次画像表示装置（図示せず）へ与える。

【0006】上述のような処理システムにおいては、処理用途に応じて複数種類のメモリが用いられる。このため、用いられるメモリの数が多くなり、システムコストの上昇および実装密度の低下が生じ、小型かつ低価格の処理システムを構築することができないという問題が生じる。

【0007】また、DRAMは、プロセス微細化技術の発展に伴って、その集積度は3年あたり4倍の割合で増加しており、近い将来メインメモリを1チップで構成できるようになる。たとえば、64MビットDRAMであれば、8Mワード・8ビットの記憶容量を1チップのメモリを用いて実現することができる。メインメモリを1チップで構成できれば、このメインメモリのためのコストおよび占有面積を低下することができるにもかかわらず、複数種類のメモリを用いる必要があれば、コスト低減および実装密度増加を十分に実現することができなくなる。このような状況は既にパーソナルコンピュータなどの比較的小記憶容量のメインメモリを利用するシステムにおいて生じている。

【0008】図23は、従来の改良された処理システムの構成を概略的に示す図である。図23に示す構成においては、CPU1およびグラフィックエンジン2が、共通データバス6を介して高速DRAM7に接続される。この高速DRAM7は、CPU1が利用するプログラムデータとグラフィックエンジン2が利用する画像データとを記憶する。

【0009】図24は、図23に示すデータ処理システムの動作を示すタイミングチャート図である。図24に示すように、CPU1およびグラフィックエンジン2が、高速DRAM7に対し、たとえばシステムクロックであるメインクロックの各サイリスタごとに交互にアクセスする。すなわち、図示しないインターフェース回路を介して、CPU1およびグラフィックエンジン2が高速DRAM7に対し時分割的にアクセスする。この図23に示す構成を利用すれば、1チップの高速DRAM7を用いて3種類（図22のSRAM3、DRAM4および

VRAM5）の異なるメモリの機能を実現することができる。これにより、システムの実装密度を高くすることができ、またコストも低減することができる。

【0010】上述のような機能を実現するのに適した高速DRAMとしては、大記憶容量DRAMと高速SRAMとが同一チップ上に集積化されたキャッシュDRAM（CDRAM）が知られている。キャッシュDRAM（CDRAM）は、高速SRAMが集積化されているため、高速ランダムアクセスを実現することができる。し

10 たがって、CPU1が要求するプログラムデータとグラフィックエンジンが要求する画像データとを時分割でアクセスする構成としても、メインクロック周波数を高くすることにより、必要とされる速度でこれらのデータをアクセスすることができ、システム性能はほとんど低下しない。

【0011】図25は、従来のCDRAMの全体の構成を概念的に示す図である。図25において、従来のCDRAMは、4M・4ビットの記憶容量を備えるDRAMアレイ10と、4K・4ビットの記憶容量を備えるSRAMアレイ12と、DRAMアレイ10からSRAMアレイ12へ、16・4ビットのデータを同時に転送するための読出データ転送バッファ（DTBR）14と、SRAMアレイ12からDRAMアレイ10へ、16・4ビットのデータを並列に転送する書込データ転送バッファ（DTBW）16を含む。

【0012】DTBR14は、DRAMアレイ10からDRAMデータバス30を介して与えられる16・4ビットのデータを格納するマスタラッチ20と、このマスタラッチ20に格納されたデータをSRAMデータバス32へ伝達するスレーブラッチ22を含む。DTBW16は、SRAMデータバス32からのデータを格納するマスタラッチ24と、このマスタラッチ24に格納されたデータを受けてDRAMデータバス30へ伝達するスレーブラッチ26を含む。SRAMデータバス32は、図示しないデコーダ回路を介して4ビット幅の入出力データバス34に接続される。この入出力データバス34は、入出力バッファ28に接続される。

【0013】後に詳細に説明するように、入出力バッファ28は、DTBR14、DTBW16およびSRAMアレイ12とデータの授受を行なうことができる。

【0014】DRAMアレイ10とSRAMアレイ12とは互いに独立にアドレス指定が可能である。DRAMアレイ10の任意の位置のメモリセルのデータがDRAMデータバス30上へ伝達される。したがって、SRAMアレイ12へDRAMアレイ10の任意の位置のデータを転送することができる。データ転送時においては、16・4ビットの容量を備えるDTBR14およびDTBW16を用いて転送データを一度に転送することができ、高速データ転送が可能となる。SRAMアレイ12をキャッシュメモリとして利用する場合、キャッシュミ

ス時に一度にキャッシュブロックのデータをDRAMアレイ10からSRAMアレイ12へ転送することができ、外部処理装置の待ち時間を低減することができる。

【0015】図26は、図25に示すDTBRおよびDTBWの1ビットの部分の構成を示すブロック図である。図26において、DTBR14は、1ビットのDRAMデータバスを構成するグローバルI/O線G1/I/OおよびZG1/I/O上のデータをプリアンプイネーブル信号DPAEに応答して増幅するプリアンプ43と、プリアンプ43で増幅されたデータをラッチするマスタラッチ回路20aと、マスタラッチ回路20aのラッチデータを、転送指示信号DRTETに応答してスレーブラッチ回路22aへ転送する転送ゲート44を含む。

【0016】DTBR16は、転送データをラッチするマスタラッチ回路24aと、転送指示信号DWTEに応答して、このマスタラッチ回路24aのラッチデータをスレーブラッチ回路26aへ転送する転送ゲート41と、スレーブラッチ回路26aのラッチデータを、プリアンプイネーブル信号DWDEに応答して増幅し、グローバルI/O線G1/I/OおよびZG1/I/Oへ伝達するプリアンプ42を含む。グローバルI/O線G1/I/OおよびZG1/I/Oは互いに相補なデータ信号を転送し、1ビットDRAMデータバス30aを構成する。

【0017】出入力バッファ28は、データ入出力端子へ与えられる1ビットデータDQを、書込指示信号Wに応答して増幅して内部書込データを生成する入力バッファ61と、読出指示信号Rに応答して活性化され、与えられたデータを増幅して、読出データを生成するメインアンプ62を含む。

【0018】DTBR14およびDTBW16ならびにSRAMアレイを入出力バッファ28へ選択的に結合するために、書込デコード信号SYWに応答して活性化され、入力バッファ61から与えられたデータを増幅して、SRAMビット線SBLおよびZSBLへ伝達するライトドライブ51と、書込デコード信号BYWに応答して、入力バッファ61から与えられたデータをマスタラッチ回路24aへ伝達するデコーダ52と、転送指示信号BWTETに応答して活性化され、SRAMビット線SBLおよびZSBL上のデータを増幅してマスタラッチ回路24aへ伝達するドライブ53と、転送指示信号BRTETに応答して活性化され、スレーブラッチ回路22aのラッチデータをSRAMビット線SBLおよびZSBLへ伝達するドライブ54と、アクセス選択信号SELに応答して、ドライブ54およびスレーブラッチ回路22aおよびSRAMビット線SBLおよびZSBL上のデータのいずれかを選択するセレクタ55と、読出デコード信号RYWに応答して活性化され、セレクタ55の選択する信号を増幅してメインアンプ52へ伝達するデコーダ56を含む。ドライブ53および54は各々DTBW16aおよびDTBR14aに含まれる様に示

される。

【0019】SRAMビット線SBLおよびZSBLは、互いに相補なSRAMデータを伝達する信号線であり、1ビットSRAMデータバス32aを構成する。デコード信号BYW、SYW、およびRYWは、16ビットのデータのうち1ビットのデータを選択する。入出力バッファ28aは、1ビットのデータの入出力を行ない、この入出力バッファ28aが4つ並列に設けられて、4ビットのデータが入出力される。ライトドライブ51により、SRAMデータバス32aへ入力バッファ51からデータを書込むことができる。デコーダ52により、入力バッファ51からのデータをDTBW16へ書込むことができる。ドライブ53により、SRAMデータバス32aとDRAMデータバス30aの間でデータ転送を行なうことができる。ドライブ54により、DRAMデータバス30aとSRAMデータバス32aの間でデータ転送を行なうことができる。セレクタ55により、SRAMデータバス32aおよびDTBR16のいずれかのデータを選択して入出力バッファ28へ与えることができる。

【0020】また、データ転送バッファDTBRおよびDTBWを、ともに、マスタラッチおよびスレーブラッチの構成とすることにより、SRAMアレイからDRAMアレイへのデータ転送と並行してDRAMアレイからSRAMアレイへデータを転送することができ、SRAMをキャッシュメモリとして利用する場合のキャッシュミス時におけるコピーバックを高速で行なうことができる。

【0021】

【発明が解決しようとする課題】上述のように、CDRAMは、高速SRAMが集積化されているため、プログラムデータ(CPUデータ)および画像データ(グラフィックデータ)を時分割態様でアクセスしても高速アクセスが可能なため、所望の速度で必要なデータを得ることができ、システム性能の低下はほとんど生じない。

【0022】CDRAMに画像データをキャッシングする場合、(i) SRAMアレイを利用するおよび(ii)データ転送バッファを利用するの2つのケースを考えられる。SRAMアレイを画像データのキャッシング領域として利用する場合、図27に示すように、DRAMアレイ10における画像データ格納領域60の画素データがSRAMアレイ12に格納される。SRAMアレイ12は4K・4ビットの記憶容量を備える。したがって、たとえば画像の1走査線が1024画素で構成されかつ、1画素が8ビットデータで構成される場合、SRAMアレイ12に1走査線の画素データを格納することができる。しかしながら、たとえば、動画像処理などにおいて、画像データの処理では、16行×16列または8行×8列などの画素単位で処理が行なわれることが多い(たとえば離散コサイン変換処理)。したがって、画像

データのキャッシュとしては、16画素データを格納する領域があれば十分な性能が得られる。したがって、図27に示すようにSRAMアレイ12の領域を画像データのキャッシュ領域として利用する場合、必要以上にSRAMアレイ12の領域が画像データのキャッシュ領域として利用されているため、SRAMアレイの利用効率が悪いという問題が生じる（1走査線のうち一部分の領域の画素データのみが画像データ処理時において利用されることが多いため）。

【0023】DTBR14およびDTBW16をキャッシュ領域として利用する場合には以下の問題が生じる。

【0024】図28に示すように、SRAMアレイ12にはCPUが利用するプログラムデータを格納し、DTB15(DTBR14およびDTBW16両者を含む)に画像データを格納する。DRAMアレイ10とSRAMアレイ12の間のデータ転送は、DTB15を介して行なわれる。したがって、プログラムデータのキャッシュミス時において、DRAMアレイ10からSRAMアレイ12へ必要とされるデータを転送する場合、DTB15に格納された画像データがこのプログラムデータで書換えられないように注意する必要がある。この場合、(i)データ転送バッファDTB15に格納された画像データがグラフィックエンジンによりすべて処理されるまで、CPUのアクセスを待機状態とする、および(ii)DRAMアレイ10からSRAMアレイ12へCPUが必要とするプログラムデータを転送した後、再びDRAMアレイ10の画像データ格納領域からDTB15へ画像データを転送するの2つの方法が考えられる。しかしながら、これら方法(i)および(ii)のいずれにおいても、CPUが待機状態とされる時間が長くなるか、グラフィックエンジンが待機状態とされる時間が長くなるという問題が生じ、高速データ処理が実現できず、システム性能が低下するという問題が生じる。

【0025】それゆえ、この発明の目的は、画像データなどの特定の処理に用いられるデータを効率的にキャッシングすることのできる半導体記憶装置を提供することである。

【0026】この発明の他の目的は、システム性能の低下を伴うことのない、マルチメディアシステム用途に適した半導体記憶装置を提供することである。

【0027】この発明のさらに他の目的は、マルチメディアの異なるデータを効率的に格納することのできる小占有面積かつ高速の半導体記憶装置を提供することである。

【0028】

【課題を解決するための手段】この発明に係る半導体記憶装置は、要約すれば、DRAMアレイとSRAMアレイと、これらSRAMアレイおよびDRAMアレイとの間の、ラッチ機能を備えかつデータ転送を行なうデータ転送バッファとを有する半導体記憶装置であって、特定の

処理に用いられるデータを記憶するバッファメモリをさらに備える。

【0029】すなわちこの発明に係る半導体記憶装置は、複数のメモリセルを有する第1のメモリアレイと、複数のメモリセルを有する、この第1のメモリアレイと別に設けられる第2のメモリアレイと、これら第1および第2のメモリアレイの間に設けられ、第1および第2のメモリアレイの間のデータ転送を行なうためのデータ転送手段を備える。このデータ転送手段は、転送データを格納する手段を含む。

【0030】この発明に係る半導体記憶装置は、さらに、第1のメモリアレイとデータの授受を行なう、特定の処理に用いられるデータを記憶する記憶手段と、データ転送手段、第2のメモリアレイおよびこの記憶手段に選択的に結合され、装置外部とデータ入出力を行なうための入出力回路を備える。

【0031】画像データなどの特定の処理に用いられるデータを記憶する手段は、第1のメモリアレイとデータの転送が可能であり、また入出力回路に結合される。したがって、外部の特定処理を行なう装置は、この記憶手段へアクセスすることにより高速アクセスが可能となる。この記憶手段の記憶容量を適當な大きさに設定することにより、特定の処理に用いられるデータの効率的なキャッシングが可能となる。

【0032】また、CPUなどの外部処理装置は、データ転送バッファまたは第2のメモリアレイへアクセスすることにより、記憶手段の記憶データの影響を受けることなく必要データを高速でアクセスすることができる。したがって、CPUなどの外部処理装置に対し、データ転送バッファおよび第2のメモリアレイをキャッシュ領域として利用することができ、CPUなどの外部処理装置に対する適當な大きさを備えるキャッシングメモリを実現することができる。これにより、マルチメディアシステム用途に最適な半導体記憶装置を実現することができる。

【0033】

【発明の実施の形態】

【実施の形態1】図1は、この発明の第1の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。図1において、半導体記憶装置は、第1のメモリアレイとしてのDRAMアレイ10と、第2のメモリアレイとしてのSRAMアレイ12と、DRAMデータバス30およびSRAMデータバス32に結合されるデータ転送手段としてのデータ転送バッファ15を含む。このデータ転送バッファ15は、従来と同様、読出データ転送バッファDTBR14および書込データ転送バッファDTBW16を含む。

【0034】DRAMアレイ10は、一例として、4Mビット・4ビットの記憶容量を備え、ロウデコーダ63およびコラムデコーダ64により、同時に16・4ビッ

トのメモリセルが選択状態とされる。S R A Mアレイ 1 2は、一例として、4 Kビット・4ビットの記憶容量を備え、ロウデコーダ6 5により4本のワード線が同時に選択状態とされる。各ワード線に、1 6ビットのメモリセルが接続される。これにより、S R A Mアレイ 1 2において、1 6ビット・4ビットのデータが同時に選択状態とされる。

【0035】D T B R 1 4は、従来と同様、D R A Mアレイ 1 0からD R A Mデータバス3 0上に伝達されたデータをラッチするマスタラッチ2 0と、このマスタラッチ2 0に格納されたデータをラッチするスレーブラッチ2 2を含む。D T B W 1 6は、S R A Mデータバス3 2上に伝達されたS R A Mアレイ 1 2からのデータまたは入出力バッファ2 8から伝達されたデータを格納するマスタラッチ2 4と、このマスタラッチ2 4に格納されたデータをラッチするスレーブラッチ2 6を含む。

【0036】S R A Mデータバス3 2には、さらに、特定の処理である画像処理に用いられる画像データを格納する画像用読出バッファ7 0が接続される。この画像用読出バッファ(G B U F R)7 0は、データ転送バッファ1 5と同様、1 6ビット・4ビットの記憶容量を備える。このS R A Mデータバス3 2は、図示しないデコーダの出力に応答するセレクタ7 2を介して4ビット幅のデータ入出力バス3 4に結合される。このデータ入出力バス3 4は、入出力回路としての入出力バッファ2 8に結合される。入出力バッファ2 8を介して4ビットデータの入出力が行なわれる。

【0037】画像用読出バッファ7 0は、D T B R 1 4を介してD R A Mアレイ 1 0からの特定処理に用いられるデータ(以下、単に画像データと称す)を受けて格納する。この画像用読出バッファ7 0は、後に詳細に説明する制御系の制御の下に、入出力バッファ2 8を介して順次その記憶データを出力する。

【0038】D R A Mのロウデコーダ6 3およびコラムデコーダ6 4とS R A Mアレイ 1 2のロウデコーダ6 5とへは別々の経路(ピン端子)を介してアドレス信号が与えられる。後に説明するコラムデコーダは、S R A MアドレスまたはD R A Mアドレスを利用して、この1 6・4ビットのS R A Mデータバス3 2から4ビットを選択して入出力データバス3 4に結合する。ただし、後に詳細に説明するように、データ転送バッファ1 5、S R A Mアレイ 1 2および画像用読出バッファ7 0のいずれかをこのデータ入出力バス3 0に結合するための機能をセレクタ7 2には設けられる。次に、この図1に示す半導体記憶装置の動作を図2に示すタイミングチャート図を参照して説明する。

【0039】画像用読出バッファ(G B U F R)7 0には、D R A Mアレイ 1 0から読出データ転送バッファD T B R 1 4を介して画像データが転送されて格納されており、またS R A Mアレイ 1 2には、D R A Mアレイ 1

0からC P Uが利用するプログラムデータが転送されて格納されている状態を想定する。

【0040】この半導体記憶装置(C D R A M)は、たとえばシステムクロックである外部クロック信号に同期して外部信号の取込を行ない、またこの外部クロック信号に同期して有効データの入出力を実行する。しかしながら、システムクロックのサイクル内で動作する半導体記憶装置であればよく、特にクロック同期型の半導体記憶装置であることは要求されない。外部処理装置であるC P Uおよびグラフィックエンジンは、外部クロックに同期してC D R A Mへアクセスする。

【0041】クロックは、C P Uおよびグラフィックエンジンの動作速度を規定するクロック信号と同じ周波数である必要はなく、これらのC P Uおよびグラフィックエンジンの動作速度を規定するクロック信号よりも高速のクロック信号が一般に、C D R A Mにアクセスするためのサイクルを規定するために用いられる。クロック信号のサイクルT 1において、C P UがC D R A Mへアクセスする。C P Uが要求するデータがC D R A MのS R A

Mアレイ 1 2内に存在する場合、C P Uキャッシュヒットであり、S R A Mアレイ 1 2の対応のメモリセルへのアクセスが行なわれる。データ読出時においては、S R A Mアレイ 1 2の対応のメモリセルのデータがS R A Mデータバス3 2に読出され、次いでセレクタ7 2によりさらに選択されて入出力バッファ2 8を介して読出される。

【0042】次のサイクルT 2においては、グラフィックエンジンがC D R A Mへアクセスする。この場合、画像用読出バッファ7 0には、グラフィックエンジンが要求する画像データが格納されており、グラフィックキャッシュヒットである。したがってこの場合には、画像用読出バッファ(G B U F Rと以下称す)7 0に格納されたデータがセレクタ7 2を介してデータ入出力バス3 4へ読出され、次いで入出力バッファ2 8を介して出力される。

【0043】サイクルT 3において、C P Uが要求するデータがS R A Mアレイ 1 2に存在しない場合、C P Uキャッシュミスである。この場合には、D R A Mアレイ 1 0からS R A Mアレイ 1 2へ、C P Uが要求するデータを含むブロック(キャッシュブロック)のデータを転送する必要がある。サイクルT 3においてD R A Mアレイ 1 0において対応のブロックのメモリセルが選択され、選択されたメモリセルデータが転送される。サイクルT 6において、D R A Mデータバス3 0に、対応のメモリセルデータが伝達される。レインテンシが3サイクルであり、サイクルT 6においてD R A Mデータバス3 0に現われたデータがD T B R 1 4のマスタラッチ2 0へ転送される。これにより、サイクルT 5において不定状態にあったD T B Rマスタラッチ2 0のデータが新しいデータで書換えられ、D T B Rスレーブラッチ2 2のデ

ータがサイクルT 7において新しいデータ(CPUが要求するデータ)で書き換えられる。このサイクルT 7においては、DTBRスレーブラッチ22からSRAMアレイ12へのデータ転送と並行して、SRAMデータバス32からセレクタ72を介してCPUが要求するデータが入出力バッファ28へ与えられて、読み出される。サイクルT 7において、SRAMアレイ12におけるCPUキャッシュの更新が行なわれる。

【0044】このサイクルT 3からT 6の間、CPUキャッシュミス時において、CPUは待機状態とされる。一方、グラフィックエンジンは、サイクルT 4およびT 6において、それぞれCDRAMへアクセスし、必要とされるデータをGBUF70から読み出す。

【0045】以降サイクルT 8、T 9およびT 10において、グラフィックエンジン、CPUおよびグラフィックエンジンがそれぞれCDRAMへアクセスし、必要なメモリセルデータへアクセスする。グラフィックエンジンのキャッシュミス時においては、このCPUキャッシュミス時と同様の動作が行なわれる。すなわち、DRAMアレイ1.0からDTBR14を介してGBUF70へ、必要とされるデータが転送される。画像データが、たとえば16行16列の画素を単位として処理される場合、1行の画素データの読み出しが可能である。したがって、DRAMアレイ1.0において、次の行のデータを選択してDTBR14のマスタラッチ20を介してDTBRのスレーブラッチ22へ転送すれば、次の行の画素データのアクセス時には、このDTBR14のスレーブラッチ22からGBUF70へのデータ転送と並行して画素データをSRAMデータバス32からセレクタ72を介して入出力バッファ28へ伝達することができる。

【0046】CDRAMにおいては、SRAM部分とDRAM部分とは互いに独立に駆動(活性化/プリチャージ)が可能である(この構成については後に説明する)。したがって、上述のようにGBUF70からのデータ読み出しと並行して次の行の画素データをDRAMアレイ1.0において選択してDTBR14へ転送することにより、グラフィックエンジンが必要とする画素データを連続的にこのグラフィックエンジンへ供給することができる。すなわち、1ブロック(16・4ビット)のサイズのGBUF70を用いてヒット率の高い画像データ用キャッシュメモリを構築することができる。

【0047】16行・16列単位の画像データの処理ではなく、画像表示装置へグラフィックエンジンがラスター操作順序に従ってデータを転送する場合においても、同様に順次DTBR14へ1走査線の画素データをブロック単位でDRAMアレイ1.0から転送することにより、グラフィックエンジンはキャッシュミスを生じることなく、必要とされる画像データを読み出して画像表示装置へ伝達することができる。グラフィックエンジンの待機状

態が生じるのは、CPUキャッシュミスが生じ、CPUプログラムデータがDRAMアレイとSRAMアレイとの間で転送する必要がある場合である(CPUプログラムデータの優先順位がグラフィックエンジンの画像データのそれよりも高い場合)。

【0048】図3は、この発明の第1の実施の形態の半導体記憶装置の1ビットのデータ入出力部およびGBUFの構成を示す図である。図3において、1ビットのDTBR14aおよびDTBW16aをそれぞれ1つのブロックで示す。このDTBR14aおよびDTBW16aの具体的構成は、図26に示す構成と同じである。DTBR14aは、プリアンプイネーブル信号DPAEと、マスタラッチ回路からスレーブラッチへのデータ転送を指示するデータ転送指示信号DRTEおよびスレーブラッチからのデータ転送を指示するデータ転送指示信号BRTETを受ける。DTBW16aは、SRAMアレイ12からマスタラッチへのデータの転送を指示するデータ転送指示信号BWTETと、マスタラッチからスレーブラッチへのデータ転送を指示するデータ転送指示信号DWTEと、スレーブラッチとラッチデータをDRAMアレイ1.0へ転送するためのプリアンプイネーブル信号DWDEとに応答する。1ビットDRAMデータバス30aは、DRAMアレイにおいてメモリセルデータが転送されるグローバルIOバスGIOに接続される。

【0049】GBUF70の1ビットのGBUF70aは、たとえば、インバータIV1およびIV2で構成されるインバタラッチを備える。インバータIV1の駆動力はインバータIV2の駆動力より大きくされ、DTBR14aからのデータをSRAMアレイ1.2およびGBUF70の一方へ選択的に伝達するために、選択信号GSTSに応答するセレクタ80が設けられる。この選択信号GSTSは、またデータ転送指示の機能をも備え、セレクタ80は、データ転送を行なわない場合、出力ハイインピーダンス状態に設定される。GBUF70aのインバタラッチIV1およびIV2へ不必要なデータが転送されるのを防止するためである。なお、図3においては、構成を概略的に示しているだけであり、このGBUF70aとセレクタ80の間にデータ転送指示信号に応答して導通する転送ゲートが設けられてもよい。

【0050】DTBR14aからの転送データとSRAMアレイ1.2のデータ(SRAMビット線対SBL上のデータ)の一方を選択するために、選択信号DSRSに応答するセレクタ82が設けられる。セレクタ82の出力信号は、SRAMデータバス線32u上に与えられる。このデータバス線32u上のデータは、また、DTBW16aへ与えられる。DTBW16aは、信号BWTETの活性化時、このデータバス線32uから与えられたデータをそのスレーブラッチ回路へ格納する。GBUF70aの格納データはSRAMデータバス線32v

上に伝達される。

【0051】図1に示すセレクタ72(1ビットのセレクタ72a)は、コラムデコーダ74から、データ書込時に発生されるメモリセル選択信号(16ビットのうちの1ビットを指定する信号)BYWに応答して活性化され、入出力バッファ28に含まれる入力バッファ61からの書込データをDTBW16aへ伝達するデコーダ52と、コラムデコーダ74からの書込選択信号SYWに応答して活性化され、入力バッファ61からの書込データをSRAMデータバス線32w上に伝達するライトドライバ51と、セレクタ82からのSRAMデータバス線32u上に伝達されたデータとSRAMデータバス線32v上に現われたデータの一方を選択信号GSR斯に従って選択するセレクタ84と、コラムデコーダ74からの読み出し時に活性状態とされる選択信号RYWに応答してセレクタ84の出力信号を増幅するプリアンプデコーダ56を含む。

【0052】コラムデコーダ74からの選択信号RYWは、16ビットのうちの1ビットを選択する。この図3に示すセレクタ72a、GBUFR70a、DTBR14a、およびDTBW16aの構成が、16ビット・4個設けられる。SRAMデータバス線32u、32vおよび32wが、SRAMデータバス32(1ビットバス32a)を構成する。プリアンプデコーダ56の出力信号は出力バッファ62へ与えられる。DRAMアレイ10からSRAMアレイ12へのデータ転送時においては、DTBR14が活性化され、次いでセレクタ80がこのDTBR14aから転送されるデータをSRAMデータバス線32wへ転送する。DRAMアレイ10からGBUFR70へのデータ転送時において、セレクタ80が、選択信号GSTSに従ってDTBR14からの転送データをGBUFR70aへ転送する。SRAMアレイ12からDRAMアレイ10へのデータ転送時において、セレクタ82がSRAMアレイ12のデータを選択してDTBW16へ伝達する。上述の構成により、SRAMアレイ12へのアクセス、GBRFR70へのアクセス、およびDTBR14へのアクセスならびにDRAMアレイ10とSRAMアレイ12との間のデータ転送およびDRAMアレイ10とGBUFR70との間のデータ転送を実現することができる。

【0053】図4は、図3に示す選択信号および転送制御信号を発生する制御部の構成を示す図である。図4においては、データ転送に関連する部分の構成のみを示す。しかしながら、図1に示すDRAMアレイ部のロウデコーダ63およびコラムデコーダ64およびSRAMアレイ12のロウデコーダ65へも、同様この図4に示す部分からの制御信号が与えられてデコード動作が行なわれる。

【0054】図4に示すように、このCDRAMにおいては、SRAM部分とDRAM部分とは別々の制御回路

により動作が制御される。SRAM部分は、外部制御信号CC0～CC2およびデータ書込／読出指示信号WEに応答して、内部制御信号GRT、BWT、BRTW/RZ、GSBおよびBSを出力するSRAMコントロール回路100と、このSRAMコントロール100からの制御信号GRT、BWT、GSBおよびBRTに従って、データ転送信号BWT_EおよびBRT_Eと選択信号GR斯、GSTS、DSRSを出力するSRAMドライブ回路102を含む。SRAMコントロール回路100

10 は、クロック信号Kに同期して、このクロック信号Kの立上がりにおいて外部制御信号を取り込み、この外部制御信号の状態の組合せに従って、指定された動作を判別して、内部制御信号を出力する。制御信号CC1～CC2の組合せにより、アクセスされるべき対象が指定され、信号WEにより、データの転送方向または入出力が判別される。たとえば制御信号CC0～CC2がすべてローレベルのときにはデータ転送バッファ(DTBRおよびDTBW)が選択される。信号WEによりDTBR14およびDTBW16のいずれが指定されるかを判別する。たとえば、信号WEがデータ書込を指定している場合には、DTBW16に対するデータの書込が行なわれる。信号WEがデータ読出を指定しているときは、DTBR14の格納データが選択される。

【0055】信号CC0およびCC2がローレベルであり、CC1がハイレベルのときには、SRAMアレイとデータ転送バッファ(DTBR、DTBW)の間のデータ転送が指定される。データ転送方向は、信号WEにより指定される。信号WEがデータ書込を指定している場合には、SRAMアレイからDTBW16へ16ビット・4ビットのデータの一括転送が指定される。信号WEがデータ読出を指定している場合には、DTBR14からSRAMアレイ12への16ビット・4ビットのデータの一括転送が指定される。

【0056】信号CC0がハイレベルであり、信号CC1およびCC2がローレベルの場合には、SRAMアレイ12へのアクセスが指定される。信号WEがデータ書込を指定している場合には、SRAMアレイ12の対応のメモリセルへデータが書込まれる。信号WEがデータ読出を指定している場合には、SRAMアレイ12のアドレス指定されたメモリセルのデータが読出される。信号CC2がハイレベルであり、信号CC0およびCC1がローレベルであり、信号WEがデータ読出を指定している場合には、GBUFR70からのデータの読み出しが指定される。信号CC1およびCC2がハイレベルであり、信号CC0がローレベルでありかつ信号WEがデータ読出を指定している場合には、DTBR14からGBUFR70への16ビット・4ビットの一括データ転送が指定される。SRAMコントロール回路100は、上述のような制御信号に組合せに従って、データ転送を指定する制御信号GRT、BWT、およびBRTならびに

データ転送対象選択信号G S BおよびB Sを出力する。信号G R Tは、D T B R 1 4からD B R F R 7 0へのデータ転送を指定する信号である。信号B W Tは、S R A Mアレイ1 2からD T B W 1 6へのデータ転送を指定する信号である。信号B R Tは、D T B R 1 4からS R A Mアレイ1 2へのデータ転送を指定する信号である。信号B Sは、D T BおよびS R A Mアレイの一方を選択する信号である。信号G S Bは、アクセス対象がG B U F R、D T BおよびS R A Mアレイのいずれであるかを示す。

【0 0 5 7】S R A Mドライブ回路1 0 2は、この転送指示信号G R T、B W T、およびB R Tおよび対象指定信号G S Bに従って、必要なタイミングで転送指示信号B W T E、B R T Eおよび選択信号G S R S、G S T SおよびD S R Sを出力する。S R A Mアレイ1 2からD T B W 1 6(D R A Mアレイ1 0)へのデータ転送時には、転送指示信号B W T Eが活性状態とされ、かつセレクタ8 2に対する選択信号D S R Sは、S R A Mデータバス線3 2 w上のデータを選択する状態に設定される。入力バッファ6 1からのデータをD T B W 1 6へ書込む場合には、転送信号B W T Eは非活性状態とされる。この場合には、図3に示すデコーダ5 2が、後に説明するコラムデコーダ7 4からの選択信号B Y Wに従って活性化されて、入力バッファ6 1からのデータをD T B W 1 6へ書込む。

【0 0 5 8】信号B R Tの活性化時、S R A Mドライブ回路1 0 2は、選択信号D S R SをD T B R 1 4の出力信号を選択する状態に設定し、また選択信号G S R Sを、セレクタ8 2の出力信号を選択する状態に設定する。またこのときには、転送指示信号B R T Eを活性状態とする。信号G R Tの活性化時には、D R A Mアレイ1 0からG B U F R 7 0へのデータ転送が指定されており、したがってこの場合には、信号G S T Sは、D T B R 1 4 aのデータをD B U F R 7 0 aへ転送する状態に設定され、かつ信号B R T Eが活性化される。

【0 0 5 9】データ転送を伴った、G B U F R 7 0、D T B R 1 4、D T B R 1 6およびS R A Mアレイ1 2への外部アクセス時には、転送指示信号B W T EおよびB R T Eが非活性状態とされる。選択信号D S R SおよびG S R Sのみが指定された状態に設定される。このデータ転送を伴わないアクセス時における制御信号は、S R A Mコントロール回路1 0 0からS R A Mドライブ回路1 0 2へ与えられる信号G S Bにより代表的に示す。

【0 0 6 0】D R A M部分を駆動する部分は、クロック信号Kの立上がり時に信号R A S、C A S、およびD T Dを取り込み、これらの信号の状態により指定された動作モードを判別し、その判別結果に従って転送指示信号D W TおよびD R Tを出力するD R A Mコントロール回路1 0 4と、このD R A Mコントロール回路1 0 4からのデータ転送指示信号D W TおよびD R Tに従って

データ転送バッファを駆動する信号D P A E、D R T E、D W T EおよびD W D Eを出力するD R A Mドライブ回路1 0 6を含む。この信号の組合せの例は以下のとおりである。信号R A Sがローレベルであり、信号C A SおよびD T Dがともにハイレベルの場合には、D R A Mアレイにおいて、メモリセル選択動作が指定される。信号R A SおよびD T Dがともにローレベルであり、信号C A Sがハイレベルの場合には、このD R A Mアレイのプリチャージが指定される。信号R A Sがハイレベル

10 であり、信号C A Sがローレベルの場合には、D R A Mアレイとデータ転送バッファ(D T B R、D T B W)の間のデータ転送が指定される。データ転送の方向は、信号D T Dにより決定される。D R A MアレイからD T B Rへのデータ転送が指定された場合には、信号D R Tが活性化され、D T B WからD R A Mアレイ1 0へのデータ転送が指定された場合にはデータ転送指示信号D R Tが活性状態とされる。

【0 0 6 1】D R A Mドライブ回路1 0 6は、データ転送時には、これらの転送指示信号D R TおよびD W Tに従ってデータ転送に必要な信号D P A E、D R T E、D W T EおよびD W D Eを順次活性化する。これらの信号は、図2 6において用いられた信号と同じであり、その詳細説明は省略する。

【0 0 6 2】S R A Mドライブ回路1 0 2およびD R A Mドライブ回路1 0 6へもクロック信号Kを与え、これらのドライブ回路1 0 2および1 0 6をクロック信号Kに同期して動作させることにより、データ転送動作をクロック信号に同期して行なうことができ、データ転送を確実に行なうことができる。なお、図4においても、D R A Mコントロール回路1 0 4からD R A Mドライブ回路1 0 6へは、単にデータ転送に関連する信号のみを示す。D R A Mコントロール回路1 0 4から、また同様に図1に示すD R A Mアレイ1 0に設けられたロウデコーダ6 3およびコラムデコーダ6 4に対する活性化信号が出力されるが、これは示していない。

【0 0 6 3】コラムデコーダ7 4は、4ビットアドレス信号A s 0～A s 3をデコードするYデコーダ7 4 aと、S R A Mコントロール回路1 0 0からの書込／読出信号W／R Zと、Yデコーダ7 4 aの出力信号を受ける書込デコード回路7 4 bと、S R A Mコントロール回路1 0 0からの書込／読出信号W／R ZとYデコーダ7 4 aの出力信号を受ける読出デコード回路7 4 cを含む。書込デコード回路7 4 bは、A N D回路の構成を備え、データ書込時において、Yデコーダ7 4 aが指定するビットを選択状態とする。読出デコード回路7 4 cは、書込／読出信号W／R Zがデータ読出を指定するときに活性化され、Yデコーダ7 4 aの出力信号に従ってそのデコード信号R Y Wを活性状態とする。コラムデータ7 4 は更に、バッファ/S R A M選択信号B Sと書込デコード回路7 4 bの出力信号Y Wを受けるゲート7 4 dと、

選択信号 B S の反転信号と出力信号 Y W を受けるゲート 7 4 e を含む。ゲート 7 4 d および 7 4 e は選択信号 B S がそれぞれバッファおよび S R A M アレイを指定するとき、イネーブルされる。

【 0 0 6 4 】 このコラムデコーダ 7 4 の出力信号 S Y W 、 B Y W および R Y W が、図 3 に示すライトドライバ 5 1 、デコーダ 5 2 およびプリアンプデコーダ 5 6 へそれぞれ与えられる。これによりデータ書込／読出時に応じてライトドライバ 5 1 、デコーダ 5 2 およびプリアンプデコーダ 5 6 を選択的に活性状態とすることができるとともに、必要なデータを選択することができる (S R A M データバスから必要なデータバスを選択してデータ出入力バスへ接続することができる) 。

【 0 0 6 5 】 以上のように、この発明の第 1 の実施の形態に従えば、特定の処理である画像処理に用いられる画像データを記憶するための画像データ読出バッファをデータ転送バッファおよび S R A M アレイと別に設けるように構成したため、時分割様でプログラムデータと画像データをアクセスする際に、キャッシュミスペナルティの少ない (ウエイト時間の少ない) かつ効率的な画像データキャッシュを実現することができる。

【 0 0 6 6 】 特に、プログラムデータを S R A M アレイに格納することによりキャッシュ容量が大きくなり、データ転送バッファにプログラムデータを格納する場合に比べて、はるかにキャッシュヒット率を高くすることができる。また、データ転送バッファを画像データキャッシュとして用いないため、プログラムデータのキャッシュミス時において画像データの破壊を伴うことがなく、プログラムデータのキャッシュミス時における C P U またはグラフィックエンジンの待ち時間を低減することができ、システム性能の低下を防止することができ、高性能のマルチメディアシステム用途に適した高速半導体記憶装置を実現することができる。

【 0 0 6 7 】 [実施の形態 2] 図 5 は、この発明の第 2 の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。図 5 に示す構成においては、図 1 に示す構成に加えて、さらに、外部からの加工された画像データを格納するための画像用書込バッファ 1 1 0 がさらに設けられる。この画像用書込バッファ (G B U F W) 1 1 0 は、 G B U F R 7 0 と同様 1 6 × 4 ビットの記憶容量を備え、データ転送バッファ 1 5 (D T B R 1 4 および D T B W 1 6) と同一の記憶容量を備える。この G B U F W 1 1 0 は、 S R A M データバス 3 2 を介して (図示しないセクレタを介して) 入出力バッファ 2 8 に結合される。グラフィックエンジンにより処理された画像データが入出力バッファ 2 8 を介して G B U F W 1 1 0 に書込まれる。この G B U F W 1 1 0 に格納された 1 6 ビット × 4 ビットの画像データは、 D T B W 1 6 を介して D R A M アレイ 1 0 の画像データ格納領域の対応の位置へ転送される。

【 0 0 6 8 】 この G B U F W 1 1 0 をさらに設けることにより、以下の利点が得られる。画像データ処理は、画像データを順次読出して画像表示装置の表示画面に表示する処理だけではない。たとえば、動画像処理においては、ブロック単位で画像データの符号化処理および符号化データから現画像を復元する復元処理が行なわれる。これらの処理後のデータは 1 枚の画面の画像データとして、 1 フィールドまたは 1 フレーム単位で C D R A M に格納され、表示もしくは転送のために順次読出される。したがって、外部のグラフィックエンジンが読出して処理したデータを再び C D R A M の画像データ格納領域へ格納することが必要となる。グラフィックエンジンが処理したデータは、 D T B W 1 6 へ順次書込むことができる。

【 0 0 6 9 】 しかしながら、画像データの D T B W 1 6 への書込時において、 C P U プログラムデータのキャッシュミスが生じた場合、 D R A M アレイ 1 0 から S R A M アレイ 1 2 へデータ転送 (C P U が要求するデータの転送) を行なうと同時に、また、不要となったデータを S R A M アレイ 1 2 から D R A M アレイ 1 0 の対応の領域へ戻す必要がある (コピーバック) 。このコピーバック動作の場合、 D T B W 1 6 を介して S R A M アレイ 1 2 から D R A M アレイ 1 0 へデータの転送が行なわれる。したがって、 D T B W 1 6 に格納された画像データがこのデータ転送のために破壊されるという問題が生じる。この破壊を避けるためには、 C P U のウェイト時間を長くする必要がある (グラフィックエンジンからの書き込みデータが完了しこの書き込まれた画像データを D R A M アレイ 1 0 の対応の画像データ格納領域へ転送する動作が完了するまで C P U を待機状態にする必要がある) 。したがって、この場合には、システムの性能が低下する。

【 0 0 7 0 】 しかしながら、この図 5 に示すように G B U F W 1 1 0 を設け、処理後の画像データ格納領域をデータ転送バッファ 1 5 と別に設けることにより、このような画像データ書込時において C P U プログラムデータのキャッシュミスが生じても、何ら C P U の待ち時間を長くする必要がなく、また書き込まれた画像データの破壊が生じることがなく、高速のデータ処理が可能となり、システム性能低下が防止される。

【 0 0 7 1 】 図 6 は、図 5 に示すデータ転送バッファ 1 5 、 G B U F R 7 0 、 G B U F W 1 1 0 および S R A M アレイ 1 2 の 1 ビットのデータの入出力および転送の部分の構成を概略的に示す図である。この図 6 に示す構成においては、図 3 に示す構成に加えて、さらに、ライトドライバ 5 1 の出力信号を、選択信号 G S W S に従って S R A M ピット線対 3 2 w および画素データ書込線 3 2 p の一方へ伝達するセレクタ 1 1 5 と、選択信号 G S W T に従って、画像データ書込線 3 2 p 上のデータとセレクタ 8 2 から伝達されたデータバス線 3 2 u 上の信号の

一方を選択して D T B W 1 6 a へ伝達するセレクタ 1 2 0 が設けられる。D T B W 1 6 a、D T B R 1 4 a および G B U F R 7 0 a は、それぞれ 1 ビットの記憶容量を備える。画像データ書込線 3 2 p に、1 ビットの G B U F W 1 1 0 a が接続される。この 1 ビットの画像用書込バッファ 1 1 0 a は、ラッチを構成するインバータ I V 3 および I V 4 を含む。データバス線 3 2 u、3 2 v、3 2 w および 3 2 p が、S R A M データバス線 3 2 a を構成する。

【 0 0 7 2 】 ここで、末尾に付された「a」の文字は、1 ビットデータに関する部分であることを強調するために用いられる。

【 0 0 7 3 】 セレクタ 1 1 5 は、選択信号 G S W S が、書込データが画像データであることを示すときには、ライトドライバ 5 1 から与えられたデータを書込データバス線 3 2 p 上に伝達する。一方、セレクタ 1 1 5 は、選択信号 G S W S が、書込データがプログラムデータであることを示すときには、このライトドライバ 5 1 から与えられたデータを S R A M データバス線 3 2 w 上に伝達する。セレクタ 1 2 0 は、選択信号 G S W T が、転送すべき信号が画像データであることを示すときには、書込データバス線 3 2 p に読み出された画像用書込バッファ 1 1 0 a からのデータを選択してデータ転送バッファ (D T B W) 1 6 a へ伝達する。セレクタ 1 2 0 はまた、選択信号 G S W T が、転送すべき信号がセレクタ 8 2 で選択されてデータバス線 3 2 u 上に伝達されたデータであることを示す場合には、このデータバス線 3 2 u 上のデータを選択してデータ転送バッファ (D T B W) 1 6 a へ伝達する。

【 0 0 7 4 】 他の構成は、図 3 に示す構成と同じであり、対応する部分には同一の参照番号を付し、その詳細説明は省略する。

【 0 0 7 5 】 なお、書込バッファ 1 1 0 a とセレクタ 1 1 5 の間には転送指示信号に応答して導通／遮断状態とされる転送バッファが設けられてもよい。

【 0 0 7 6 】 図 7 は、図 6 に示す各制御信号および選択信号を発生する制御系の構成を示す図である。この図 7 に示す構成において、D R A M 部分を制御するための D R A M コントロール回路 1 0 4 および D R A M ドライブ回路 1 0 6 の構成は、先の図 4 に示す構成と同じであり、またコラムデコーダ 7 4 の構成も同じである。すなわち、コラムデータ 7 4 は、データ書込時、S R A M コントロール回路 2 0 0 からのデータ転送バッファへのデータ書込を行なうか否かを示す信号 B S に従って、ゲート 7 4 d および 7 4 e の一方が、デコーダ 7 4 b からの選択信号 Y W に従って、信号 B Y W および S Y W の一方を活性状態とする。

【 0 0 7 7 】 S R A M コントロール回路 2 0 0 は、実施の形態 1 の構成に加えて、信号 C C 2 と書込／読み出信号 W E とに従って、G B U F R 7 0 および G B U F W 1 1

0 と D R A M アレイとの間でのデータ転送を示す転送指示信号 G R T および G W T を出力する。S R A M ドライブ回路 2 0 2 は、この S R A M コントロール回路 2 0 0 からの制御信号 G W T 、G R T 、B W T 、B R T 、G S B に従って、信号 G S W S 、G S W T 、B W T E 、B R T E 、G S R S 、G S T S 、および D S R S をそれぞれ所定の状態に設定する。

【 0 0 7 8 】 信号 C C 0 ～ C C 2 および W E のクロック信号 K の立上がりにおける状態の組合せが、G B U F W

- 10 1 1 0 へのデータ書込を指定している場合には、S R A M コントロール回路 2 0 0 は、G B U F W 1 1 0 へのデータ書込を指定するよう信号 G S B を所定の状態に設定する（この場合、信号 G S B は、書込先が、S R A M アレイ、G B U F W 、および D T B W のいずれかを指定するためまたデータの書込および読み出をも併せて指定するため、複数ビットのデータで表現される）。S R A M ドライブ回路 2 0 2 は、転送指示信号 G W T 、G R T 、B W T 、および B R T がすべて非活性状態であり、信号 G S B が、G F B W 1 1 0 へのデータ書込を指定する場合には、信号 G S W S を、所定の状態に設定し、セレクタ 1 1 5 が、画像データ書込データバス線 3 2 p を選択する状態に設定する。S R A M ドライブ回路 2 0 2 は、この信号 G S B が S R A M アレイへのデータ書込を指定している場合には、S R A M ドライブ回路 2 0 2 は、セレクタ 1 1 5 が、ライトドライバ 5 1 からの書込信号を S R A M データバス線 3 2 w へ伝達するように信号 G S W S の状態を設定する。信号 G S B が D T B W 1 6 へのデータ書込を指定している場合には、S R A M ドライブ回路 2 0 2 は、特に信号 B W T E を非活性状態とし、
- 20 図 6 に示すデコーダ 5 2 からのデータを D T B W マスター ラッチ回路へ格納する状態に設定する。信号 C C 2 および W E により、G F U B W 1 1 0 から D R A M アレイ 1 0 へのデータ転送が指定された場合には、S R A M コントロール回路 2 0 0 は、信号 G W T を活性状態とする。S R A M ドライブ回路 2 0 2 は、この信号 G W T に応答して、セレクタ 1 2 0 が、この G F U B W 1 1 0 からの画像データを選択するよう信号 G S W T を所定の状態に設定し、かつ転送指示信号 B W T E を活性状態とする。これにより G F U B W 1 1 0 に格納された 1 6 ビット・4 ビットのデータが一括して D T B W 1 6 へ転送される。
- 30 【 0 0 7 9 】 残りの制御信号の状態については、先の図 4 について示しかつこの図 4 を参照して説明したものと同じである。
- 40 【 0 0 8 0 】 上述の構成により、新たに画像データ格納のための画像データ書込バッファを設けても、C P U プログラムデータアクセスに何ら悪影響を及ぼすことなく正確に G F U B W 1 1 0 へデータをデータを書き込み、かつこの G F U B W 1 1 0 から D R A M アレイ 1 0 へデータを転送することができる。

【 0 0 8 1 】 以上のように、この発明の第 2 の実施の形態に従えば、画像データ読出のためのバッファに加えて、画像データを格納するための書込バッファを新たに設けたため、画像データ書込時において C P U キャッシュミスが生じても、何らこの書込画像データが破壊されることなく C P U が要求するデータを D R A M アレイから S R A M アレイへ転送することができ、C P U の待機時間を低減することができ、システム性能の低下が防止される。

【 0 0 8 2 】 【実施の形態 3】 図 8 は、この発明の第 3 の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。図 8 において、D R A M データバス 3 0 と S R A M データバス 3 2 の間に、D T B R 1 4 と並列に、画像データ用 D T B R 2 1 4 が設けられ、また D T B W 1 6 と並列に画像データ用の D T B W 2 1 6 が設けられる。S R A M データバス 3 2 は、セレクタ 2 3 0 を介して、4 ビット幅のデータ入出力バス 3 4 に選択的に結合される。このデータ入出力バス 3 4 は、4 ビットデータ D Q 0 ~ D Q 3 を入出力する入出力バッファ 2 8 に接続される。

【 0 0 8 3 】 D T B R 1 4 および D T B W 1 6 は、C P U が利用するプログラムデータを格納しつつ転送する。画像データ用の D T B R 2 1 4 および 2 1 6 は、グラフィックエンジンが利用する画像データを格納しつつ転送する。画像データ用データ転送バッファ 2 1 4 および 2 1 6 は、D R A M データバス 3 0 を介して D R A M アレイ 1 0 とデータ転送を行ない、かつセレクタ 2 3 0 を介して入出力バッファ 2 8 とデータの授受を行なう。画像データの書込時には、画像用 D T B W 2 1 6 へ画像データが書込まれる。1 ブロック (1 6 ~ 4 ビット) または 1 ブロックの必要なデータの書込が完了すると、D R A M アレイ 1 0 の画像データ格納領域の対応の領域へ、この画像用 D T B W 2 1 6 に格納された書込データが転送される。

【 0 0 8 4 】 画像データの読出時には、画像用 D T B R 2 1 4 の格納データが、セレクタ 2 3 0 および入出力バッファ 2 8 を介して読出される。D T B R 2 1 4 の格納データの読出が完了すると、D R A M アレイ 1 0 の画像データ格納領域の次に処理されるブロックの画像データが D T B R 2 1 4 へ転送される。

【 0 0 8 5 】 プログラムデータの書込、読出および転送は、第 1 、 2 の実施の形態と同様にして行なわれる。画像データを格納するために、S R A M アレイ 1 2 と D R A M アレイ 1 0 との間のデータ転送を行なうためのデータ転送バッファと同一構成のバッファを利用することにより、以下の利点が得られる。

【 0 0 8 6 】 D T B R 1 4 および 2 1 4 ならびに D T B W 1 6 および 2 1 6 のデータ転送およびアクセスの制御は、転送またはアクセスされるデータがプログラムデータであるか画像データであるかを除いて、同じタイミング

グで制御信号を発生することにより行なうことができる。したがって、外部から、処理されるデータがプログラムデータであるか画像データであるかを示す信号を受けることにより、処理されるデータの種類（プログラムデータおよび画像データ）を識別することにより、処理されるデータに関連する D T B R および D T B W に対する制御信号を活性状態とすればよい。したがって、このデータ転送およびアクセスの制御回路の構成が簡略化される（この制御回路の構成については後に説明する）。

- 10 【 0 0 8 7 】 ここで、画像データ用 D T B R 2 1 4 は、D R A M アレイ 1 0 からのデータを受けて格納するマスタラッチ 2 2 0 と、このマスタラッチ 2 2 0 の格納データを受けてセレクタ 2 3 0 へ受けたデータを与えるスレーブラッチ 2 2 0 で構成される。画像データ用 D T B W 2 1 6 は、セレクタ 2 3 0 を介して与えられたデータを格納するマスタラッチ 2 2 4 とこのマスタラッチ 2 2 4 に格納されたデータを受け、D R A M アレイ 1 0 へ D R A M データバス 3 0 を介して転送するスレーブラッチ 2 2 6 を備える。プログラム用データを格納する D T B R 1 4 および D T B W 1 6 は、実施の形態 1 および 2 と同様の構成を備えている。したがって、これらの D T B R 1 4 および 2 1 4 ならびに D T B W 1 6 および 2 1 6 は、それぞれマスタ／スレーブの同じ構成を備えており、また D T B R 2 1 4 および D T B W 2 1 6 は、それぞれ D T B R 1 4 および D T B W 1 6 と同一の記憶容量 (1 6 ビット・4 ビット) を備える。
- 20 【 0 0 8 8 】 図 9 は、図 8 の構成の 1 ビットのデータ入出力およびデータ転送に関連する部分の構成を示すプロック図である。図 9 において、1 ビットのプログラムデータを D R A M アレイ (グローバル I / O 線 G I O) へ伝達する D T B W 1 6 a は、転送制御信号 B W T E 、 D W T E 、 および D W D E に応答して動作する。これらの信号は、実施の形態 1 および 2 において用いられた信号と同じである。
- 30 【 0 0 8 9 】 外部から与えられた画像データを格納しつつ D R A M アレイへ転送する 1 ビット D T B W 2 1 6 a は、転送制御信号 G B W T E 、 G W T E 、 および G W D E に応答して動作する。転送制御信号 G B W T E 、 G D W T E および G W D E は、処理対象となるデータが画像データの場合、転送制御信号 B W T E 、 D W T E および D W D E と同じタイミングで発生される。すなわち、転送制御信号 G B W T E は、活性化時、D T B W 2 1 6 a のマスタラッチに、外部から与えられた画像データを転送する。転送制御信号 G D W T E は、1 ビット D T B W 2 1 6 a のスレーブラッチからマスタラッチへのデータ転送を制御する。転送制御信号 G D W D E は、この 1 ビット D T B W 2 1 6 a の出力部に設けられたプリアンプを活性化し、マスタラッチ回路に格納されたデータを出力する。1 ビット D T B W 1 6 a および 1 ビット D T B W 2 1 6 a の出力するデータはセレクタ 2 5 1 を介して
- 40
- 50

1ビットDRAMデータバス30aに転送される。

【0090】セレクタ251は、選択制御信号GPWTに応答して、1ビットDTBW16aおよび1ビットDTBW216aの一方の出力データを選択する。この選択制御信号（グラフィック／プログラム書き込み選択制御信号）GPWTは、DTBW16および216からDRAMアレイへのデータ転送時に活性状態とされ、かつDTBW16およびDTBW216aの一方を選択する状態に設定される。セレクタ251は、転送動作が行なわれない場合には、出力ハイインピーダンス状態に設定される。セレクタ251は、1ビットDTBW16aおよび1ビットDTBW216aの一方の出力信号を常時選択する状態に設定されてもよい。この場合でも、1ビットDTBW16aおよび1ビットDTBW216aは、信号DWDEおよびGDWDEの非活性化時、出力ハイインピーダンス状態とされるため、何ら問題は生じない。

【0091】プログラムデータを格納／転送する1ビットDTBR14aは、データ制御信号BRTE、DPAEおよびDRTEに応答して動作する。これらの転送制御信号BRTE、DPAE、およびDRTEは、先の実施の形態1および2で示したものと同じ意味を有する。

【0092】画像データを格納する1ビットDTBR214aは、転送制御信号GBRDE、GDPAE、およびGDRTEに応答して動作する。転送制御GBTRE、GDPAEおよびGDRTEは、画像データが処理対象とされる場合に活性化され、かつ転送制御信号BRTE、DPAEおよびDRTEと同じ意味を有する。1ビットDTBR14aおよび1ビットDTBR214aへは、セレクタ252を介してDRAMデータバス30aからデータが伝達される。セレクタ252は、データ転送時に活性状態とされる制御信号GPRTに従って1ビットDTBR14aおよび1ビットDTBR214aの一方へ、DRAMデータバス30aから与えられたデータを伝達する。1ビットDTBR14aおよび1ビットDTBR214aは、転送制御信号DRTEおよびGDRTEの非活性化時には、セレクタ252から伝達されたデータは取込まないため、セレクタ252は、1ビットDTBR14aおよびDTBR214aの一方を常時選択する状態に設定されてもよい。

【0093】なお、セレクタ251および252は、特に設けられなくてもよい。DTBW16aおよび216aは、転送制御信号DWDEおよびGDWDEの活性化時に、その格納データを増幅して出力し、転送制御信号GWDEおよびGDWDEの非活性化時には、出力ハイインピーダンス状態と設定されるためである。同様、1ビットDTBR14aおよび1ビットDTBR214aも、転送制御信号DRTEおよびGDRTEの非活性化時には、与えられたデータの取込動作は行なわないと、セレクタ252が設けられなくても、誤ったデータ転送が行なわれることはない。

【0094】図8に示すセレクタ230の1ビットの選択回路230aは、先の実施の形態1および2の構成と同様、活性制御信号SYWに応答して活性化され、入力バッファ61から与えられたデータを増幅してSRAMデータバス32aへ伝達するライトドライバ51と、選択信号BYWに応答して導通し、入力バッファ61から与えられたデータを通過させるデコーダ52と、活性制御信号RYWに応答して活性化され、与えられたデータを増幅して出力バッファ62へ伝達するプリアンプ56

10 を含む。

【0095】デコーダ52から与えられたデータは、セレクタ250を介して1ビットDTBW16aおよび1ビットDTBW216aの一方へ与えられる。セレクタ250は、選択制御信号GPSWがプログラムデータを示すときには、デコーダ52から与えられたデータを1ビットDTBW16aへ伝達する。セレクタ250は、この転送制御信号GPSWが、画像データを示す場合には、デコーダ52からのデータを1ビットDTBW216aへ伝達する。1ビットDTBW216aにおいて

20 は、1ビットDTBW16aと異なり、SRAMアレイからのデータは伝達されない。したがって、この1ビットDTBW216a(216)に対する転送制御信号GBWTEは、常時非活性状態とされる。一方、1ビットDTBW16aは、このセレクタ250からデータが転送された場合には、その内部に含まれるスレーブラッチ回路に、与えられたデータを格納する。制御信号BWT Eの活性化時には、1ビットDTBW16aは、このSRAMデータバス線32aから伝達されたデータをそのスレーブラッチ回路に格納する。

30 【0096】1ビットDTBR14aのデータ出力部には、その転送経路を切換えるためのセレクタ253が設けられる。セレクタ253は、選択制御信号PSSRが、DRAMアレイからSRAMアレイへのデータ転送を示す場合には、この1ビットDTBR14aからのデータをSRAMデータバス線32a上に伝達する。選択制御信号PSSRが、データ読出を指定する場合には、セレクタ253は、DTBR14aからのデータをセレクタ254へ伝達する。

【0097】セレクタ254は、このセレクタ253からの伝達データと1ビットDTBR214aからのデータ信号を受け、一方を選択制御信号GPSRに従って選択する。選択制御信号GPSRが、プログラムデータを示す場合には、セレクタ254は、セレクタ25eから伝達されたデータを選択する。選択制御信号GPSRが画像データを示す場合には、セレクタ254は、1ビットDTBR214aからのデータを選択する。セレクタ254の出力データは、セレクタ255を介してプリアンプ56へ与えられる。セレクタ255は、選択制御信号GSBSが、SRAMアレイを指定する場合には、SRAMデータバス線32a上のデータを選択してプリア

ンプ 5 6 へ与える。選択制御信号 G S B S が、データ転送バッファを指定する場合には、セレクタ 2 5 5 は、セレクタ 2 5 4 から与えられたデータを選択してプリアンプ 5 6 へ与える。

【0098】DTBR14 から SRAM アレイ 12 へのデータ転送と同時に、この DTBR14 のデータを装置外部へ読出す場合には、セレクタ 2 5 3 が、1 ビット DTBR14a のデータを SRAM データバス線 32a 上に伝達し、かつセレクタ 2 5 5 が、この SRAM データバス線 32a 上のデータを選択してプリアンプ 5 6 へ与える。

【0099】図 10 は、図 9 に示す制御信号を発生する制御部の構成を示す図である。図 10 において、コラムデコーダ 74 は、実施の形態 1 および 2 と同様の構成を備えており、対応する部分には同一の参照番号を付す。コラムデコーダ 74 は、データ書込時、SRAM コントロール回路 300 からの書込先指定信号 BS に従って、デコーダへ与える制御信号 BYW およびライトドライバへ与える制御信号 SYW の一方を活性状態とする。

【0100】データ転送バッファ 14, 16, 214 および 216 へのデータの入出力、および SRAM アレイ 12 へのデータ入出力および SRAM アレイ 12 とデータ転送バッファ 14, 16 との間のデータ転送の制御は、SRAM コントロール回路 300 および SRAM ドライブ回路 302 により行なわれる。SRAM コントロール回路 300 は、外部からの制御信号 CC0～CC2 および書込／読出指示信号 WE に従って、GWT、GRT、BWT および BRT と、アクセス対象指定信号 GS B、および書込対象指定信号 BS および書込／読出指示信号 W/RZ を出力する。転送指示信号 GWT は、画像データを格納する DTBW216 から DRAM アレイへのデータ転送を指定する。転送指示信号 GRT は、画像データを格納する GTBR214 への DRAM アレイ 10 からの画像データの転送を指定する。転送指示信号 BWT は、プログラムデータを格納する DTBW16 から DRAM アレイ 10 へのデータ転送を指定する。転送指示信号 BRT は、プログラムデータを格納する DTBR14 への DRAM アレイ 10 からのデータ転送を指定する。アクセス対象指定信号 GS B は、データアクセス対象が、SRAM アレイであるか、画像データ転送バッファであるか、プログラムデータ転送バッファであるかを指定する。信号 BS は、データ書込対象が SRAM アレイであるかデータ転送バッファ（ブロックデータおよび画像データ両者を含む）であるかを指定する。

【0101】SRAM コントロール回路 300 は、クロック信号 K の立上がり時における外部制御信号 CC0～CC2 および WE の状態の組合せに応じて内部動作を規定する制御信号を発生する。図 10 において、この外部クロック信号 K は示していない。制御信号 CC2 により、処理される対象がプログラムデータであるか画像デ

ータであるかが指定される。制御信号 CC0 および CC1 により、データ転送が行なわれるか否か、および行なわれるデータ転送の方向を指定する。書込／読出指示信号 WE は、外部データ書込が行なわれるか外部データ読み出が行なわれるかを指定する。

【0102】SRAM ドライブ回路 302 は、この SRAM コントロール回路 300 からの、転送指示信号 GWT、GRT、BWT、および BRT と、アクセス先指定信号 GS B および書込／読出指示信号 W/RZ に従つ

て、転送制御信号 BWTE、BRT、GBWTE および GBRT ならびに選択信号 GPSW、GPSR、GSBS、および PSRS をそれぞれ所定の状態に設定する。データ転送指定信号 GWT、GRT、BWT、および BRT がすべて非活性状態の場合には、SRAM ドライブ回路 302 は、アクセス対象指定信号 GS B および書込／読出指示信号 W/RZ に従つて、選択制御信号 GPSW、GPSR、GSBS および PSRS を、指定された状態に設定する。データ転送が行なわれる場合には、信号 CC2 に従つて転送制御信号 BWTE、BRT、GBWTE および GBRT がそれぞれ所定の状態に設定される。このとき、データの書込／読出が行なわれる場合には、併せて選択制御信号 GPSW、GPSR、GSBS および PSRS が所定の状態に設定される。

【0103】データ転送バッファ 14, 16, 214 および 216 と DRAM アレイ 10 との間のデータ転送は、DRAM コントロール回路 304 および DRAM ドライブ回路 306 により制御される。DRAM コントロール回路 304 は、制御信号 CC2、RAS、CAS および DTD に従つて内部転送指示信号 DWT、DRT、GRT、および GWT を出力する。制御信号 CC2 により、データ転送が、プログラムデータに対して行なわれるのか、画像データに対して行なわれるのかの識別が行なわれる。制御信号 DTD に従つて、データ転送方向が決定される。信号 RAS および CAS の状態の組合せにより、単に DRAM アレイにおいてメモリセルデータが選択されるだけであるのか、データ転送が行なわれるのかの指定が行なわれる。

【0104】DRAM ドライブ回路 306 は、この DRAM コントロール回路 304 からの転送制御信号 DW D、DRT、GRT および GWT に従つて、転送制御信号 DWTE、DWDE、DPAE、DRTE、GWT E、GDWDE、GDPAE、GDRTE および 選択制御信号 GPWT および GPRT を所定の状態に設定する。

【0105】SRAM ドライブ回路 302 および DRAM ドライブ回路 306 も、内部クロック信号 K に従つて、各制御信号をそれぞれ確定状態に設定する。このクロック信号の伝達経路は示していない。クロック信号 K に従つて各信号を発生することより、データ転送動作タ

タイミングの確立が容易となる。

【0106】以上のように、この発明の第3の実施の形態に従えば、プログラム転送用バッファと並列に画像データ書込／読出のための転送バッファを設けたため、画像データの書込／読出と並行してプログラムデータのDRAMアレイとSRAMアレイとの間での伝送を行なうことができ、プログラムデータのキャッシュミス時のCPUの待ち時間の増加を防止することができる。また、このとき、画像データを一端DRAMアレイへ退避させる必要がなく、プログラムデータのSRAMアレイとDRAMアレイとの間の転送を、画像データの破壊を伴うことなく高速で行なうことができる。

【0107】また、画像データ記憶および転送のためのデータ転送バッファは、DRAMアレイとSRAMアレイとの間での1回のデータ転送により転送されるデータビットを記憶する容量を備えており、画像データのための最適な大きさを備えるキャッシュメモリを実現することができる。

【0108】【実施の形態4】図11は、この発明の第4の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。図11において、DRAMアレイから転送されたデータを受けるデータ転送バッファ(DTBR)314は、DRAMアレイ10からDRAMデータバス30を介して与えられるデータを受けるマスタラッチ320と、マスタラッチ320から与えられる画像データを格納する画像用スレーブラッチ321と、マスタラッチ320から与えられるプログラムデータを格納するプログラム用スレーブラッチ322を含む。

【0109】DRAMアレイ10へデータを転送するデータ転送バッファ(DTBW)は、SRAMデータバス32を介して与えられる画像用データを格納する画像用マスタラッチ323と、このSRAMデータバス32を介して与えられるプログラムデータを格納するマスタラッチ324と、マスタラッチ323および324に共通に結合され、これらマスタラッチ323および324から与えられたデータをDRAMアレイ10へDRAMデータバス30を介して転送するスレーブラッチ326を含む。

【0110】スレーブラッチ321、322、326およびマスタラッチ320、323、および324は、それぞれ16・4ビットの記憶容量を備える。

【0111】この図11に示す構成においては、DTBR314において、画像データをDRAMアレイから受けるマスタラッチと、プログラムデータをDRAMアレイから受けるマスタラッチとが1つのマスタラッチ320で実現される。同様、DRAMアレイへ画像用データを転送するためのスレーブラッチとDRAMアレイ10へプログラムデータを転送するためのスレーブラッチが1つのスレーブラッチ326で実現される。したがって、図8に示す構成に比べて、データ転送バッファの占

有面積を低減することが可能となる。プログラムデータのDRAMアレイ10とSRAMアレイ12との間の転送およびプログラムデータのDTBR314(スレーブラッチ322)からの読み出し、およびプログラムデータのDTBW(マスタラッチ324)への書き込みは、先の実施の形態1ないし3と同じである。同様、画像データのDRAMアレイとデータ転送バッファの間の転送および画像データの書込／読み出動作も同じである。

【0112】この図11に示す構成においては、画像データをDTBR314のスレーブラッチ321に格納し、またDTBW316のマスタラッチ323に格納する。したがって、CPUキャッシュミスが生じた場合には、マスタラッチ320およびスレーブラッチ326を用いてCPUプログラムデータ転送を行なっても、何ら画像データの破壊は生じない。たとえば、マスタラッチ320において画像データが格納されている場合、画像データはスレーブラッチ322に転送されている。したがって、このマスタラッチ320の格納する画像データが、CPUプログラムデータで書換えられても、必要とされる画像データはスレーブラッチ322に既に格納されているため、何ら問題は生じない。スレーブラッチ326についてもスレーブラッチ326に画像データが格納されている場合、このスレーブラッチ326に格納された画像データは、既にDRAMアレイ10に転送されている。次に転送されるべき画像データはマスタラッチ323に格納されている。したがって、マスタラッチ324およびスレーブラッチ326を用いてSRAMアレイ12からDRAMアレイ10へプログラムデータの転送を行なって、スレーブラッチ326の格納する画像データがCPUプログラムデータで書換えられても、この画像データは既にDRAMアレイ10の対応の領域に格納されているため、何ら問題は生じない。図12は、図11に示す半導体記憶装置の1ビットのデータの入出力／転送に関連する部分の構成を示す図である。図12において、1ビットデータ転送バッファ(DTBW)314aは、転送制御信号BWEに従って、SRAMデータバス線32a上のデータを取り込むとともに、セレクタ250を介してデコーダ52から与えられた書込データをラッチするマスタラッチ回路324aと、セレクタ250を介してデコーダ52から与えられる書込画像データをラッチするマスタラッチ回路323aと、マスタラッチ回路324aおよび323aの一方のデータを選択するセレクタ332と、これセレクタ332の出力するデータ信号をラッチしてDRAMデータバス線30aへ伝達するスレーブラッチ回路326aを含む。セレクタ332は、選択制御信号GPWTに従って、マスタラッチ回路324aおよび323aの一方の出力データ信号を選択する。スレーブラッチ回路326aは、転送制御信号DWTEおよびDWDEに応答して与えられたデータをラッチしつつ転送する。画像データを格納するマス

タラッチ回路 323aへ与えられる転送制御信号 G B W T Eは、常時非活性状態とされる。このマスタラッチ回路 323aは、セレクタ 210を介してデコーダ 52から与えられる書き画像データのみをラッチするためである。

【0113】1ビット D T B R 316aは、D R A M データバス線 30a上のデータを取り込みラッチするマスタラッチ回路 320aと、マスタラッチ回路 320aからのプログラムデータを格納するスレーブラッチ回路 322aと、マスタラッチ回路 320aからの画像データを格納するスレーブラッチ回路 321aと、マスタラッチ回路 320aの出力するデータ信号をスレーブラッチ回路 321aおよび322aの一方へ伝達するセレクタ 334aを含む。マスタラッチ回路 320aは、転送制御信号 D P A E および D R T Eに応答して、D R A M データバス線 30a上のデータ信号を取り込みかつ転送する。セレクタ 334は、選択制御信号 G P R T に従って、転送経路を確立する。スレーブラッチ回路 322aは、転送制御信号 B R T E に従って、そのラッチしたデータをセレクタ 253へ伝達する。スレーブラッチ回路 321aは、そのラッチしたデータを転送制御信号 G B R D E に従ってセレクタ 254の一方入力へ伝達する。

【0114】マスタラッチ回路 323a および 324a ならびにスレーブラッチ回路 321a および 322a の構成は、先の第3の実施の形態の構成と同じであり、この D T B R 314a および 316a と入出力バッファ 28aとの間に設けられる部分の構成は、図9に示す構成と同じであり、対応する部分には同一参照番号を付しその詳細説明は省略する。

【0115】セレクタ 332 および 334 は、実質的に、この図9に示すセレクタ 251 および 252 と等価な機能を実現する。セレクタ 332 は、選択制御信号 G P W T が、プログラムデータを示すときには、マスタラッチ回路 324a の出力データ信号を選択する。選択制御信号 G P W T が画像データを指定する場合には、セレクタ 332 はマスタラッチ回路 323a の出力するデータ信号を選択する。

【0116】セレクタ 334 は、選択制御信号 G P R T が、プログラムデータを指定する場合には、マスタラッチ回路 320a の出力データ信号をスレーブラッチ回路 322a へ伝達する。選択制御信号 G P R T が画像データであることを示すときには、セレクタ 334 は、マスタラッチ回路 320a からのデータ信号をスレーブラッチ回路 321a へ伝達する。したがって、この選択制御信号 G P W T および G P R D の持つ意義は、図9に示す選択制御信号と同じである。

【0117】図13は、図12に示す制御信号を発生する部分の構成を示す図である。図13において、S R A M コントロール回路 300 および S R A M ドライブ回路 302 は、図10に示す S R A M コントロール回路 30

0 および S R A M ドライブ回路 302 と同じ構成を備える。同様にコラムデコーダ 74 も図10に示す構成と同一の構成を備える。データ転送バッファ (D T B R および D T B W) とデータ入出力部および S R A M アレイとの間の部分の構成は、先の実施の形態3の構成と実質的に同じであるためである。

【0118】D T B W 314 のスレーブラッチ 316 および D T B R のマスタラッチ 320 がプログラムデータおよび画像データで共有されるため、D R A M コントロール回路 304 の出力信号に応答して動作する D R A M ドライブ回路 306 の構成が少し異なる。D R A M ドライブ回路 306 は、先の実施の形態3の構成と異なり、送制御信号 D W T E 、 D W D E 、 D P A E および D R T E および選択制御信号 G T W T および G P R T を出力する。プログラムデータおよび画像データが共通にスレーブラッチを介して転送されるため、D T B W のスレーブラッチの転送動作を制御するための信号 D W T E および D W D E がプログラムデータおよび画像データ両者に共通に用いられる。同様、D T B R マスタラッチ 320 のデータ転送を制御するための信号 D P A E および D R T E が、プログラムデータおよび画像データ両者の転送時に共通に用いられる。プログラムデータおよび画像データの転送経路の制御は、選択制御信号 G P W T および G P R T により実現される。

【0119】D R A M コントロール回路 304 の構成は、したがって、実質的に図10に示す構成と同じである。制御信号 C C 2 に従って、転送されるデータが画像データであるかプログラムデータであるかに従って、選択制御信号 G P W T および G P R T の状態が決定される。

【0120】以上のように、この発明の第4の実施の形態の構成に従えば、D R A M データバスに結合されるスレーブラッチ回路およびマスタラッチ回路を、プログラムデータおよび画像データ両者に共通に用いるように構成したため、このデータ転送バッファの占有面積を低減することができ、小占有面積の半導体記憶装置を実現することができる。同様、第3の実施の形態と同様の効果をも実現することができる。

【0121】[実施の形態5] 図14は、この発明の第5の実施の形態である半導体記憶装置の要部の構成を概念的に示すブロック図である。図14に示す構成においては、画像データをD R A M アレイ 10 から受けて格納する D T B R 314 において、画像データ格納のためのスレーブラッチに代えて、画像表示装置の表示画面上の1走査線上の画素データを格納する記憶容量を有するシフトレジスタ 350 が設けられる。シフトレジスタ 350 を除く他の構成は、図11に示す構成と同じであり、対応する部分には同一参照番号を付し、これらの詳細説明は省略する。

【0122】シフトレジスタ 350 の記憶容量は、1走

査線上の画素の数、1画素データのビット数および画素データの構成方法（複数チップで1画素データを表現するなどの方法）により異なる。たとえば、1走査線が1024画素を含み、1画素のデータが8ビットで構成されかつこの半導体記憶装置が1つだけ用いられる場合には、シフトレジスタ350は、 $1024 \cdot 8 = 8\text{K}$ ビットの記憶容量を備える。

【0123】図15に示すように、画像表示装置への画像データの表示時において、水平帰線期間または垂直帰線期間にDRAMアレイ10からシフトレジスタ350へ、1走査線の画素データを転送する。帰線期間の間はビデオリフレッシュおよびCPUアクセスが行なわれる。ビデオリフレッシュにより、このシフトレジスタ350に格納されたデータが順次読出されて画像表示装置の表示画面上に表示される。このビデオリフレッシュ／CPUアクセス時においては、外部のグラフィックエンジンとCPUとがインタリープ態様でこの半導体記憶装置へアクセスする。シフトレジスタ350には、1走査線の画素データが格納されているため、グラフィックエンジンは描画時（画像表示装置の表示画面上の画像データの表示）において、連続的に画素データを読み出して画像表示装置の表示画面上に表示することができる。描画時におけるDRAMアレイから画像データをブロック単位でキャッシュする場合のような、各ブロックのデータ読みごとにデータをDRAMアレイからキャッシュ（GBUF RまたはDTBR）へ転送する必要がなく、グラフィックエンジンのウェイトサイクルをなくすことができ、画像データを高速で表示することができる。

【0124】図16は、図14に示すDTBR314の、1ビットデータを出力する部分の構成を示す図である。図16において、DTBRマスタラッチ320は、16ビットDRAMデータバス30bに並列に（異なるバス線に）結合される16個のDTBRマスタラッチ#0～#15（ML0～ML15）を含む。これらのDTBRマスタラッチML0～ML15は、16ビットDRAMデータバス30b上の対応のビットを並列に受け、マスタラッチML0～ML15それぞれに対応して、プログラムデータを格納するためのスレーブラッチSL0～SL15が配置される。これらのスレーブラッチSL0～SL15とは別に、シフトレジスタ回路SR0～SR15が配置される。スレーブラッチSL0～SL15およびシフトレジスタ回路SR0～SR15は、選択的に1ビット入出力データバス線34aに結合される。

【0125】シフトレジスタ回路SR0～SR15の各々は、複数段のDフリップフロップ（D-F F）で構成される。シフトレジスタ回路SR0～SR15に含まれるDフリップフロップ（D-F F）の数は、画素データの構成により異なる。DRAMアレイからシフトレジスタ回路SR0～SR15へのデータ転送時において、1

6ビットのブロックデータがDRAMデータバス30bに伝達され、各ビットがDTBRマスタラッチML0～ML15に格納される。次いで、このマスタラッチML0～ML15の格納データがシフトレジスタ回路SR0～SR15の初段のDフリップフロップ（D-F F）に格納される。次いで、再び次の16ビットのブロックデータがDRAMデータバス30b上に伝達されてマスタラッチML0～ML15に格納される。次いでマスタラッチML0～ML15からシフトレジスタ回路SR0～SR15へそれぞれ対応の画素データビットを転送する。そのデータ転送動作を必要な回数繰り返すことにより、シフトレジスタ回路SR0～SR15には、1走査線の画素に対応する画像データが格納される。

【0126】DRAMアレイ10からシフトレジスタ回路SR0～SR15へのデータ転送時において、DRAMアレイの列アドレスを指定する必要があり（データブロックの指定のため）、外部からの処理装置（グラフィックエンジン）の制御の下に、DRAM列アドレスが与えられかつデータ転送指令が与えられてデータ転送動作が行なわれる（帰線期間内において）。

【0127】図17は、図14に示す半導体記憶装置の1ビットのデータの入出力および転送を行なう部分の構成を示す図である。この図17に示す構成においては、図12に示す構成において、DTBRスレーブラッチ回路321aに代えて、シフトレジスタ回路SRi（350a）が配置される。他の構成は図12に示す構成と同じであり、対応する部分には同一の参照番号を付し、その詳細説明は省略する。

【0128】シフトレジスタ回路SRiは、シフトクロックSFKに従ってデータラッチおよび転送を行なう。このシフトクロックSFKの発生態様については後に説明する。水平または垂直帰線期間において、セレクタ334を介して、マスタラッチ回路320aから画像データがシフトレジスタ回路SRi（350a）へ転送される。各転送ごとにシフトクロックSFKを活性状態とすることにより、データの格納および転送を行なうことができる。このシフトレジスタ回路SR.i（350a）の格納データの読み出時においては、セレクタ254によりその格納画像データが読み出されてセレクタ255およびブリアンプ56を介して出力バッファ62へ伝達される。

【0129】DRAMアレイの1行の画像データが1走査線の画素データに対応する場合において画像データをDRAMアレイからシフトレジスタ350へ転送する場合、DRAMアレイにおいて行を選択状態として、列アドレスを与える。これにより、1ブロック（16・4ビット）のデータが選択される。このブロック選択動作を繰り返すとともに、DRAMアレイからシフトレジスタ350へのデータ転送を行なう。したがって、データ転送動作は外部装置からの指令により実行されるため、こ

のデータ転送を制御するための制御部の構成は、図 10 に示す構成を利用することができる。

【0130】図 18 は、図 17 に示すシフトクロック S F K を発生する部分の構成を示す図である。図 18 において、シフトクロック発生部は、コラムデコーダからの選択信号 R Y W の立下がりに応答してワンショットのパルス信号を発生するパルス発生回路 400a と、選択制御信号 G S B S の非選択状態への移行に応答して、ワンショットのパルス信号を発生するパルス発生回路 400b と、選択制御信号 G P S R の非活性手段への移行に応答してワンショットのパルス信号を発生するパルス発生回路 400c と、パルス発生回路 400a～400c の出力信号を受ける AND 回路 402 と、転送制御信号 D R T E および G P R T を受ける AND 回路 404 と、AND 回路 402 および 404 の出力信号を受ける OR 回路 406 を含む。

【0131】コラムデコーダからの選択信号 R Y W は、対応のデータ転送バッファが選択されたときに、ハイレベルとなる。選択制御信号 G S B S が、ハイレベルに設定されたときに、セレクタ 255 は、図 17 に示すセレクタ 254 の出力信号を選択する状態に設定される。選択制御信号 G P S R はハイレベルのときに、このシフトレジスタ回路 S R i (350a) の出力信号を選択する状態を示す。したがって、AND 回路 402 からの出力信号に従って、シフトレジスタ回路 S R i (350a) の画素データが読出された後に、シフト動作が行なわれる。ここで、シフトレジスタ回路 S R i (350a) は、出力段に設けられた D フリップフロップ (D-F F) はセレクタ 254 へ常時その格納データを出力している状態を想定している。

【0132】転送制御信号 D R T E の活性化時には、図 17 に示すマスタラッチ回路 320a からスレーブラッチ回路 322a またはシフトレジスタ回路 S R i (350a) へのデータ転送が行なわれる。セレクタ 334 は、選択制御信号 G P R T がハイレベルに設定されたときには、このマスタラッチ回路 320a から与えられるデータをシフトレジスタ回路へ転送する。したがって、D R A M アレイからシフトレジスタ回路 S R i (350a) へのデータ転送時において、AND 回路 404 の出力信号がハイレベルとされる。したがって、OR 回路 406 を介して、シフトクロック S F K がハイレベルとされ、このシフトレジスタ回路 S R i (350a) が、D R A M アレイから転送されたデータを格納する。各転送ごとにシフトクロック S F K が活性状態とされるためシフトレジスタ回路 S R i (350a) において、順次その格納データが転送される。

【0133】一方、データを読出す場合には、AND 回路 402 の出力信号がデータ読出完了後ハイレベルとなり、OR 回路 406 からのシフトクロック S F K がハイレベルとされる。したがって、画像データが読出される

ごとに、シフトレジスタ回路 S R i (350a) においてシフト動作が行なわれ、次のデータ読出に備える。

【0134】以上のように、この発明の第 5 の実施の形態に従えば、1 走査線の画像データを格納するシフトレジスタを D T B R のスレーブラッチ部分に並列に設けたため、1 走査線の画像データを水平および垂直帰線期間中に D R A M アレイからシフトレジスタへ転送することができ、画像表示装置の表示画面への表示時において、連続的に画像データを出力することができ、画像データ

10 表示動作におけるウェイトサイクルをなくすことができ、描画動作時における外部処理装置（グラフィックエンジン）の負荷を軽減することができる（ウェイトサイクルが生じた場合、そのウェイトサイクルを補償するために、データ処理を高速化する必要があり、ウェイトサイクルをなくすことにより、このような高速処理が不要とされる：画像表示装置の 1 走査線の表示期間は予め定められているためである）。

【0135】【実施の形態 6】図 19 は、この発明の第 6 の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。この図 19 に示す構成においては、D R A M アレイ 10 へデータを転送する転送バッファ (D T B W) 316 において、画像データを格納するためのマスタラッチに代えて、1 走査線の画素のデータを格納するシフトレジスタ 360 が設けられる。他の構成は、図 14 に示す構成と同じであり、対応する部分には同一の参照番号を付し、その詳細説明は省略する。

【0136】この図 19 に示す構成においては、たとえば外部からテレビカメラなどの画像データがラスタ走査順序で順次与えられる場合、この画像データをシフトレジスタ 360 へ順次格納し、次いで水平走査帰線期間および垂直走査帰線期間にそのシフトレジスタ 360 に格納された画像データがスレーブラッチ 326 を介して D R A M アレイ 10 の対応の画像データ領域へ転送される。このシフトレジスタ 360 を設けることにより、たとえばテレビカメラからの画像データが順次伝達される場合、この転送画像データの D R A M アレイへの転送時に、外部からの画像データの書き込を退避させる必要はなく、このようなデータ書き込の待機のためのバッファメモリを外部に設ける必要がなく、システム構成が小規模となる。

【0137】図 20 は、図 19 に示す半導体記憶装置の 1 ビットのデータの転送および入出力を行なう部分の構成を示す図である。この図 20 に示す構成は、データ転送バッファ D T B W 314a において、マスタラッチ回路に代えて、シフトレジスタ回路 360a が用いられる点を除いて図 17 に示す構成と同じである。対応の構成要素に対しては、この図 17 に示す構成要素と同一の参照番号を付し、その詳細説明は省略する。

【0138】シフトレジスタ回路 360a は、シフトクロック S F K W に従ってデータの格納およびシフト動作

を行なう。シフトレジスタ回路 360a は、シフトレジスタ回路 350a と同様、複数段の D フリップフロップ (D-F F) で構成される。この図 20 に示す構成に対する制御信号を発生する構成は、図 13 に示す構成を利用することができる。シフトクロック S F K を発生する構成は図 18 に示す構成を利用することができる。

【0139】図 21 は、シフトクロック S F K W を発生する部分の構成を示す図である。図 21 において、シフトクロック発生部は、選択信号 B Y W と選択制御信号 G B S W を受ける A N D 回路 410 と、転送制御信号 D W T E の立下がりに応答してワンショットのパルス信号を発生するパルス発生回路 412 と、パルス発生回路 412 の出力信号と選択制御信号 G B W T を受ける A N D 回路 414 と、A N D 回路 410 および 414 の出力信号を受ける O R 回路 416 を含む。O R 回路 416 からシフトクロック S F K W が出力される。

【0140】選択制御信号 G B S W は、ハイレベルのときには、セレクタ 250 に、デコーダ 52 からの書き込みデータをシフトレジスタ回路 360a へ伝達させる。したがって、この場合には外部から与えられた画像データを書き込むシフトレジスタ回路において、A N D 回路 410 の出力信号がハイレベルとなり、応じて O R 回路 416 からのシフトクロック S F K W がハイレベルとなり、このセレクタ 250 から与えられた書き込み画像データがシフトレジスタ回路 360a に格納される。データ転送において制御信号 G P W T がハイレベルとされると、セレクタ 332 は、シフトレジスタ回路 360a の出力信号を選択する。最初のサイクルにおいては、シフトレジスタ回路 360a の最終段の格納データがセレクタ 332 を介してスレーブラッチ回路 326a へ伝達される。このデータ転送動作が完了すると、転送制御信号 D W T E がローレベルとなり、パルス発生回路 412 の出力信号が所定期間ハイレベルとされる。したがってこのデータをスレーブラッチ回路 326a へ転送した後、A N D 回路 414 の出力信号がハイレベルとなり、応じて O R 回路 416 からのシフトクロック S F K W がハイレベルとされる。これにより、シフトレジスタ回路 360a において、D R A M アレイへのデータ転送後、そのラッチした画像データが 1 段のフリップフロップだけシフトされる。データ転送動作時においては、転送制御信号 D W T E が所定回数繰り返し活性状態とされる。したがって、データ転送時において、シフトクロック S F K W を必要な回数活性状態とすることができます。

【0141】なお、シフトレジスタ 360 に含まれるシフトレジスタの段の数は、シフトレジスタ回路 350 と同様、書き込み画像データの構成に応じて適当に決定される。

【0142】以上のように、この発明の第 6 の実施の形態の構成に従えば、D R A M アレイへデータを転送する転送バッファにおいても、1 走査線分の書き込みデータを格

納するシフトレジスタを配置したため、外部から連続的に画像データがラスタ走査順序に従って与えられる場合においても、このシフトレジスタから D R A M アレイへのデータ転送を水平および垂直帰線期間に行なうことにより、外部装置は、何らウェイトサイクルを生じることなく高速画像データをこの半導体記憶装置へ書込むことができる。

【0143】【他の適用例】なお、上述の実施の形態においては、グラフィックエンジンが画像データの加工および表示の処理を行なっており、C P U はプログラムデータのみを処理しているように説明している。しかしながら、外部の処理装置は、画像表示装置へのデータ転送のみを実行し、C P U がプログラムデータおよびこの画像データを加工する構成が用いられてもよい。この場合、プログラムデータは、C P U が処理するデータと定義される。

【0144】さらに、上記各実施の形態においては、D R A M アレイと S R A M アレイとがこの半導体記憶装置において設けられている。しかしながら、この半導体記憶装置は、高速動作するD R A M と、比較的低速のたとえばフラッシュメモリのような不揮発性メモリが同一チップ上に集積化される構成であってもよい。同様、S R A M とフラッシュメモリが同一チップ上に集積化される構成であってもよい。

【0145】さらにこのデータ処理システムにおいて処理されるデータは画像データではなく、たとえば音声データのような別のデータであってもよく、特定の処理に用いられるデータであればよい。

【0146】

【発明の効果】以上のように、この発明に従えば、高速アクセス可能なメモリと大記憶容量のメモリとを備える半導体記憶装置において、特定の処理に用いられるデータを格納するバッファを設けたため、特定の処理に用いられるデータに対し最適な大きさのキャッシュを実現することができるとともに、C P U キャッシュミス時においても、何ら特定用途に用いられるデータの破壊を伴うことなく 2 つのアレイ間でデータ転送を行なうことができ、C P U ウェイトサイクル数を低減することができ、高速でデータ処理を行なうことのできる高性能のマルチメディアシステム向けの半導体記憶装置を実現することができる。

【0147】すなわち、請求項 1 に係る発明に従えば、第 1 のメモリアレイと第 2 のメモリアレイと、これら第 1 および第 2 のメモリアレイの間のデータ転送を行なうための、データを格納する手段を含むデータ転送手段とを有する半導体記憶装置において、第 1 のメモリアレイとデータの転送を行なう、特定の処理に用いられるデータを記憶する記憶手段を設け、データ転送手段、第 2 のメモリアレイおよび記憶手段を入出力回路に選択的に結合するように構成したため、特定の処理に用いられるデ

ータについて最適なサイズでキャッシュを実現することができ、また外部処理装置の要求するデータが第2のメモリに存在しない場合においても、第1および第2のメモリアレイの間でこの特定の処理に用いられるデータの破壊を伴うことなく転送を行なうことができ、外部処理装置の待ち時間を低減することができ、高性能の処理システムを実現することができる。

【0148】請求項2に係る発明に従えば、この記憶手段を、第1のメモリアレイからデータ転送手段を介して与えられるデータを記憶し、かつその記憶データを入出力回路を介して装置外部へ出力する読み出しだけ記憶手段で構成したため、外部処理装置の要求するデータを第2のメモリアレイにキャッシュし、特定の処理に用いられるデータをこの記憶手段にキャッシュすることにより、外部処理装置が要求するデータのヒット率を高くすることができます、また特定の処理に用いられるデータを高速で読み出すことができる。

【0149】請求項3に係る発明に従えば、記憶手段を入出力回路を介して装置外部から与えられるデータを格納し、かつ該格納データをデータ転送手段を介して第1のメモリアレイへ伝達する書き込み記憶手段で構成したため、外部から与えられる特定の処理に用いられるデータを高速で格納することができ、また外部処理装置が要求するデータが第2のメモリアレイに存在しない場合においても、書き込み記憶手段に格納されたデータの破壊を伴うことなくデータ転送を行なうことができる。

【0150】請求項4に係る発明に従えば、データ転送手段と並列に、入出力回路から与えられたデータを格納しつつ該格納データを第1のメモリアレイへ転送する記憶／転送手段で記憶手段を構成したため、データ転送手段と別の経路を介して第2のメモリアレイとSRAMアレイのデータ転送をこのデータ記憶手段からアクセス時に行なうことが可能となる。

【0151】請求項5に係る発明に従えば、記憶手段を、データ転送手段と並列に第1のメモリアレイに結合されかつこの第1のメモリアレイからのデータを受けて格納しつつ該格納データを入出力回路を介して装置外部へ出力する記憶／転送手段で構成したため、高速で特定の処理に用いられるデータを装置外部へ出力することができるとともに、この記憶手段へのアクセス時に、第1のメモリアレイと第2のメモリアレイとの間でデータ転送を行なうことができる。

【0152】請求項6に係る発明に従えば、記憶手段を、マスタラッチとスレーブラッチで構成されるデータ転送手段のスレーブラッチと並列にマスタラッチ手段からのデータを受けて入出力回路へ選択的に伝達する手段で構成したため、このデータ転送手段のマスタラッチを外部処理装置が要求するデータおよび特定の処理に用いられるデータの転送のために利用されるマスタラッチを共有することができ、この回路占有面積を低減すること

ができる。

【0153】請求項7に係る発明に従えば、記憶手段を、スレーブラッチとスターラッチとで構成されるデータ転送手段のマスタラッチと並列に入出力回路からのデータを格納し、該格納データをスレーブラッチ手段を介して第1のメモリアレイへ転送する手段で構成したため、特定の処理に用いられるデータと外部処理装置が要求するデータとの転送のための回路部分を共通化することができ、回路占有面積を低減することができる。

- 10 【0154】請求項8に係る発明に従えば値データ転送手段が複数ビットのデータを第1および第2のメモリアレイの間で同時に転送し、かつ記憶手段がデータ転送手段と同じ記憶容量を備えるため、最適な特定処理が用いられるデータのキャッシュを実現することができる。
- 【0155】請求項9に係る発明に従えば、この記憶手段は、特定の処理に用いられる画像データの表示画面上の1走査線上の画素データを格納する記憶容量を備えており、この画像データの水平および垂直帰線期間中に第1のメモリアレイと記憶手段との間で転送することにより外部の画像処理装置は、何らウェイトサイクルが生じることなく連続的にデータを処理することができる。

【図面の簡単な説明】

- 【図1】 この発明の第1の実施の形態である半導体記憶装置の要部の構成を概念的に示すブロック図である。
- 【図2】 図1に示す半導体記憶装置の動作を示すタイミングチャート図である。
- 【図3】 図1に示す半導体記憶装置の1ビットのデータの入出力および転送に関連する部分の構成を示す図である。
- 【図4】 図3に示す制御信号を発生する部分の構成を示す図である。
- 【図5】 この発明の第2の実施の形態である半導体記憶装置の要部の構成を概念的に示すブロック図である。
- 【図6】 図5に示す半導体記憶装置の1ビットのデータの入出力および転送に関連する部分の構成を示す図である。
- 【図7】 図6に示す制御信号を発生する部分の構成を示す図である。
- 【図8】 この発明の第3の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。

- 【図9】 図8に示す半導体記憶装置の1ビットのデータ入出力に関連する部分の構成を示す図である。
- 【図10】 図9に示す制御信号を発生する部分の構成を示す図である。
- 【図11】 この発明の第4の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。
- 【図12】 図11に示す半導体記憶装置の1ビットのデータ入出力に関連する部分の構成を示す図である。
- 【図13】 図12に示す制御信号を発生する部分の構成を示す図である。

【図14】 この発明の第5の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。

【図15】 図14に示す半導体記憶装置の動作を説明するための図である。

【図16】 図14に示すシフトレジスタおよび画像用スレーブラッチの構成を概略的に示す図である。

【図17】 図14に示す半導体記憶装置の1ビットのデータ入出力および転送に関連する部分の構成を示す図である。

【図18】 図17に示すシフトクロックを発生する部分の構成を示す図である。

【図19】 この発明の第6の実施の形態である半導体記憶装置の要部の構成を概念的に示す図である。

【図20】 図19に示す半導体記憶装置の1ビットのデータ入出力および転送に関連する部分の構成を概略的に示す図である。

【図21】 図20に示す書込画像データ格納のためのシフトレジスタ回路へ与えられるシフトクロックを発生する部分の構成を示す図である。

【図22】 従来のデータ処理システムの構成を概略的に示す図である。

【図23】 従来の改良されたデータ処理システムの構成を概略的に示す図である。

【図24】 図23に示すデータ処理システムの半導体記憶装置へのアクセスシーケンスを示す図である。

【図25】 従来の半導体記憶装置の要部の構成を概念

的に示す図である。

【図26】 図25に示す半導体記憶装置の1ビットのデータ入出力に関する部分の構成を示す図である。

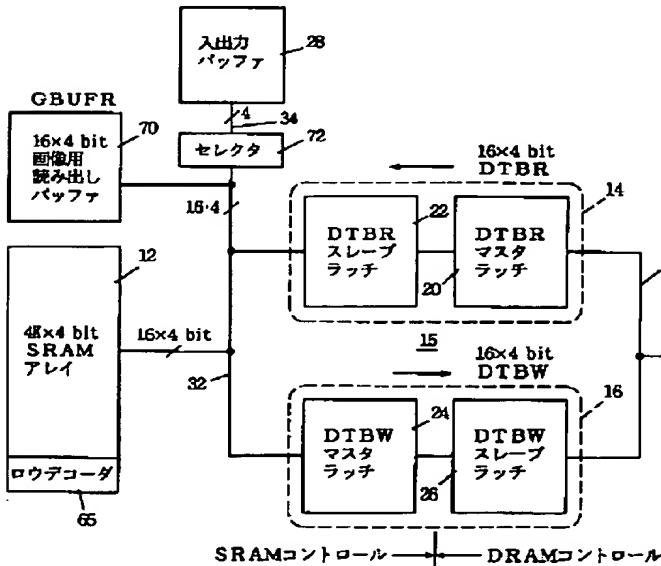
【図27】 従来の半導体記憶装置の画像データのキャッシュ方法の一例を説明するための図である。

【図28】 従来の半導体記憶装置の別の画像データのキャッシュ方法を説明するための図である。

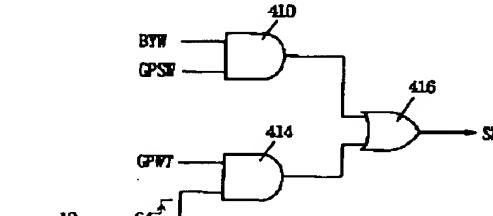
【符号の説明】

- 10 DRAMアレイ、12 SRAMアレイ、14 DTBR、16 DTBW、28 入出力バッファ、30 DRAMデータバス、32 SRAMデータバス、70 画像用読み出しバッファ、20 DTBRマスタラッチ、22 DTBRスレーブラッチ、24 DTBWマスタラッチ、26 DTBWスレーブラッチ、61 入力バッファ、62 出力バッファ、110 画像用書き込みバッファ、214 画像データ用DTBR、220 画像データ用DTBRマスタラッチ、222 画像データ用DTBWスレーブラッチ、216 画像データ用DTBW、224 画像データ用DTBWマスタラッチ、226 画像データ用DTBWスレーブラッチ、314 DTBR、316 DTBW、320 DTBRマスタラッチ、321 画像用DTBRスレーブラッチ、322 プログラム用DTBRスレーブラッチ、323 画像用DTBWマスタラッチ、324 プログラム用DTBWマスタラッチ、326 DTBWスレーブラッチ、350 シフトレジスタ、360 シフトレジスタ。

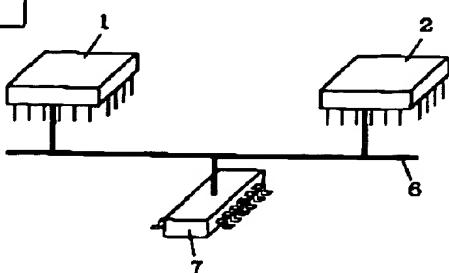
【図1】



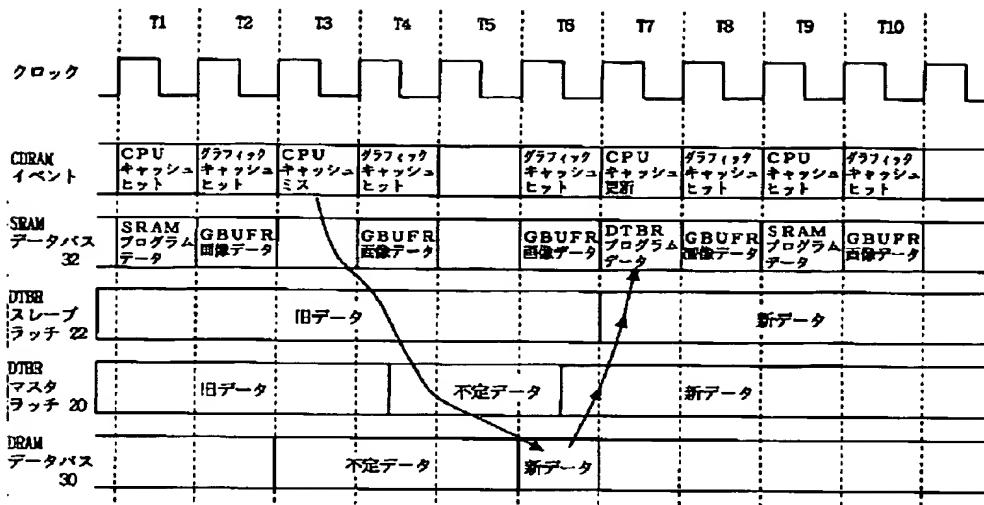
【図21】



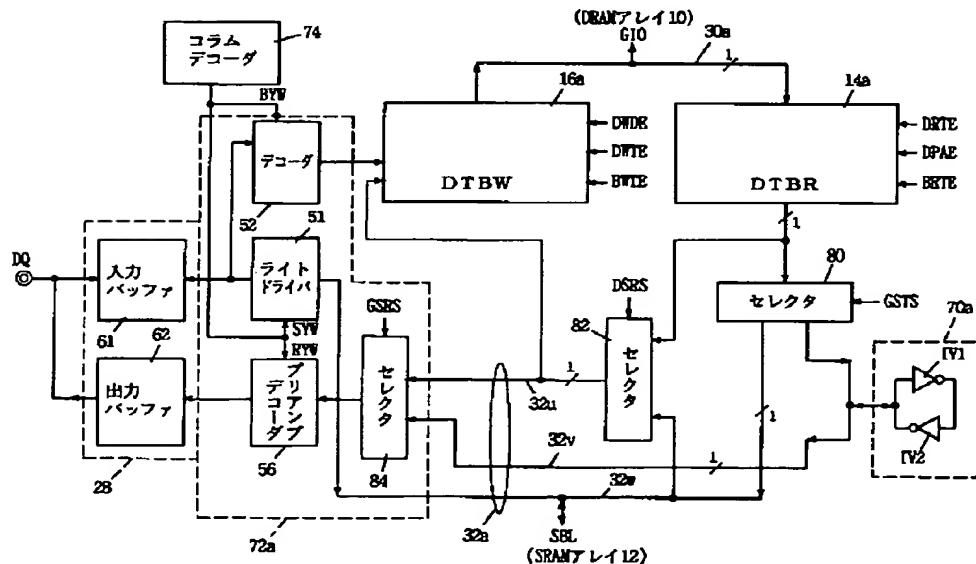
【図23】



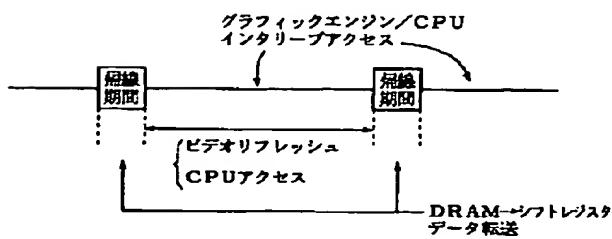
【図 2】



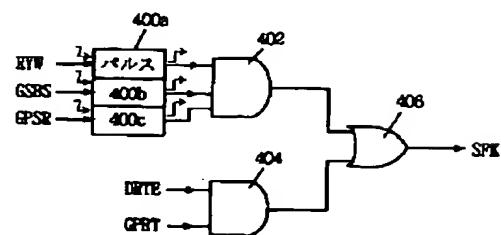
【図 3】



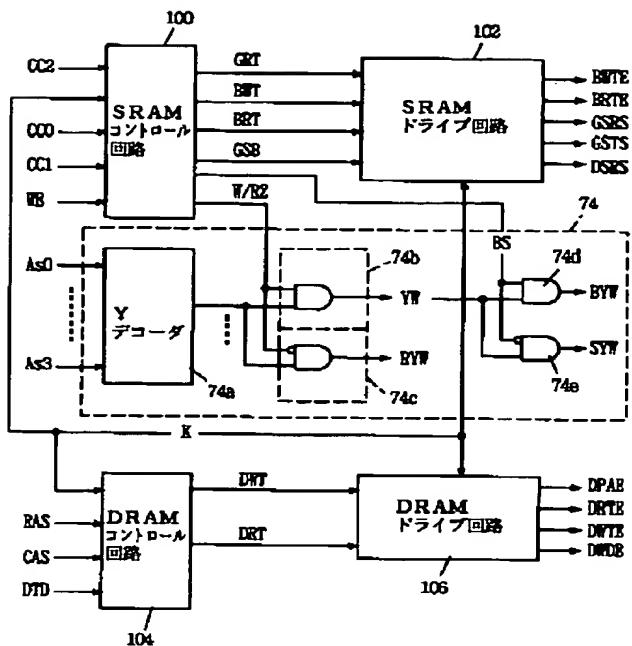
【図 15】



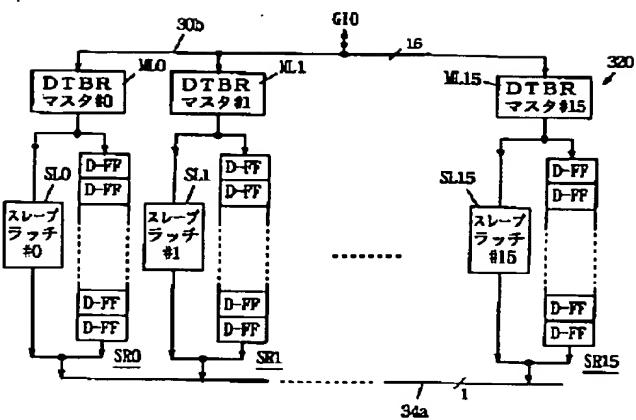
【図 18】



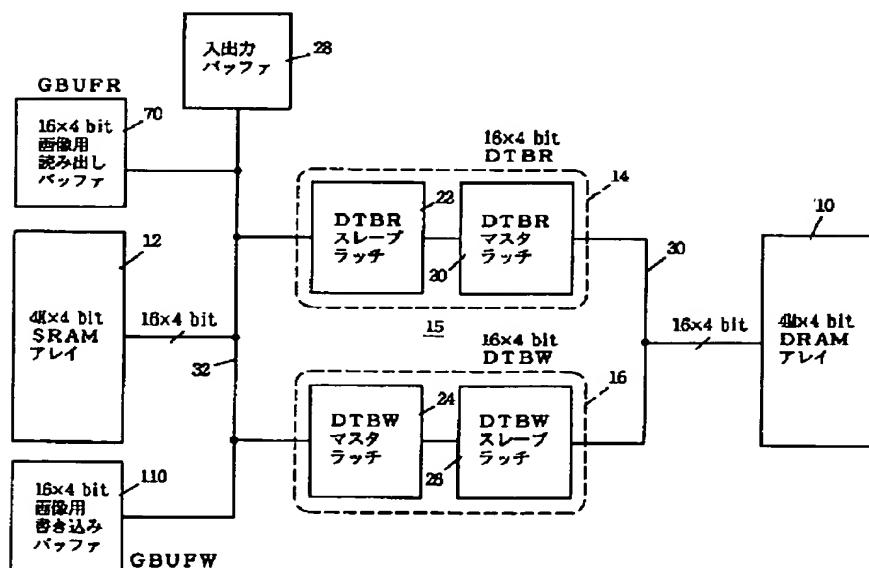
〔四〕



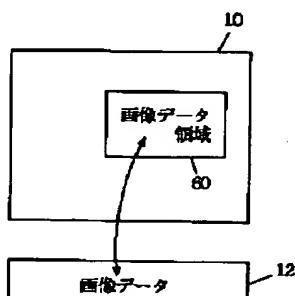
[图 16]



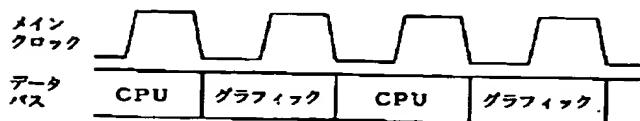
[5]



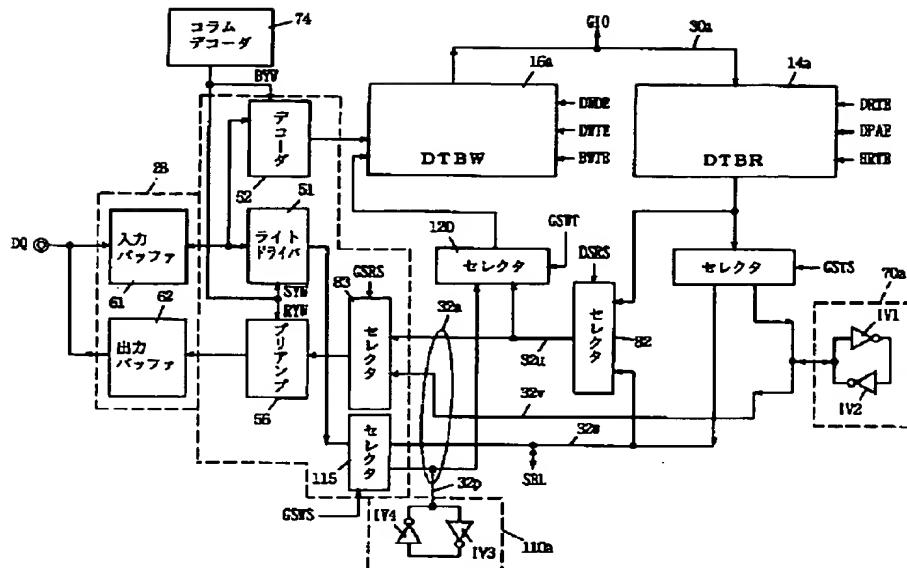
〔図27〕



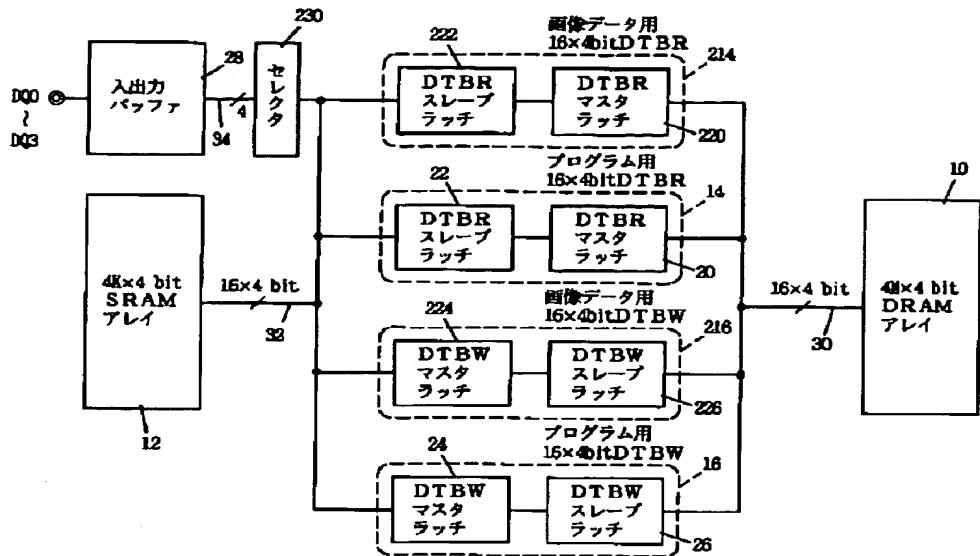
[图 2-4]



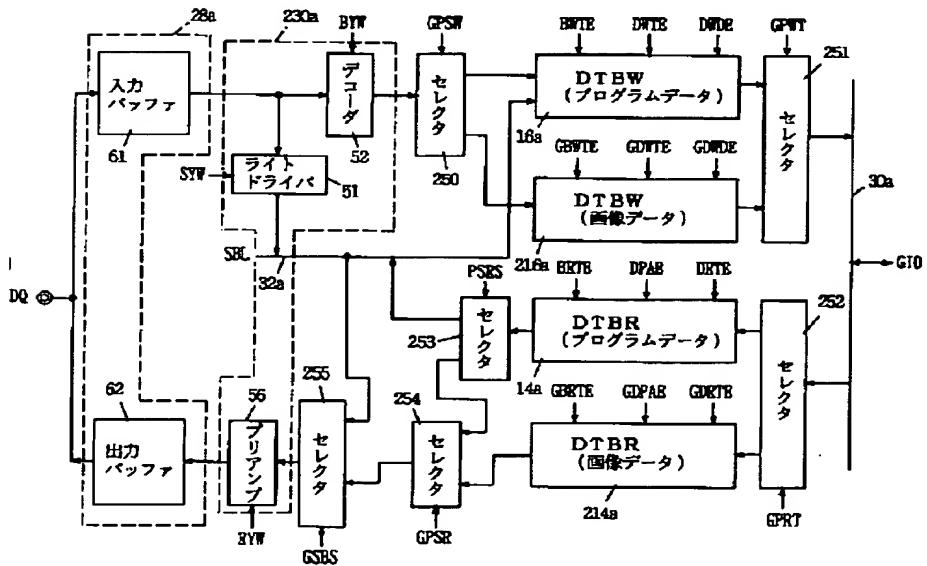
【図 6】



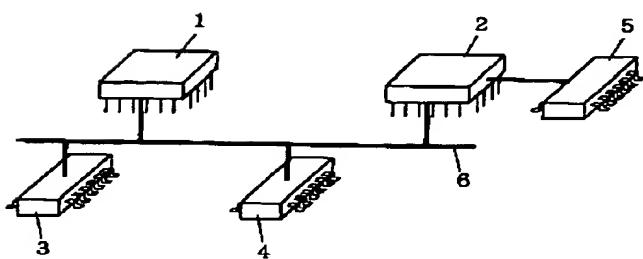
【図 8】



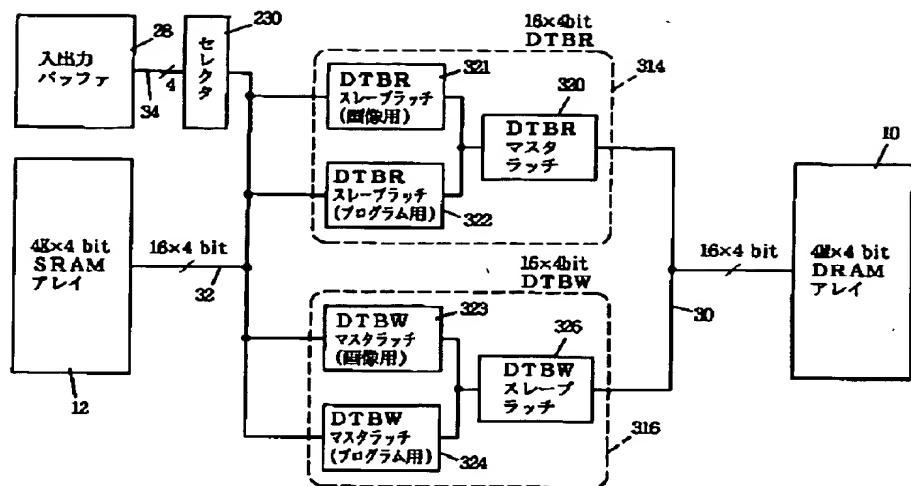
【図 9】



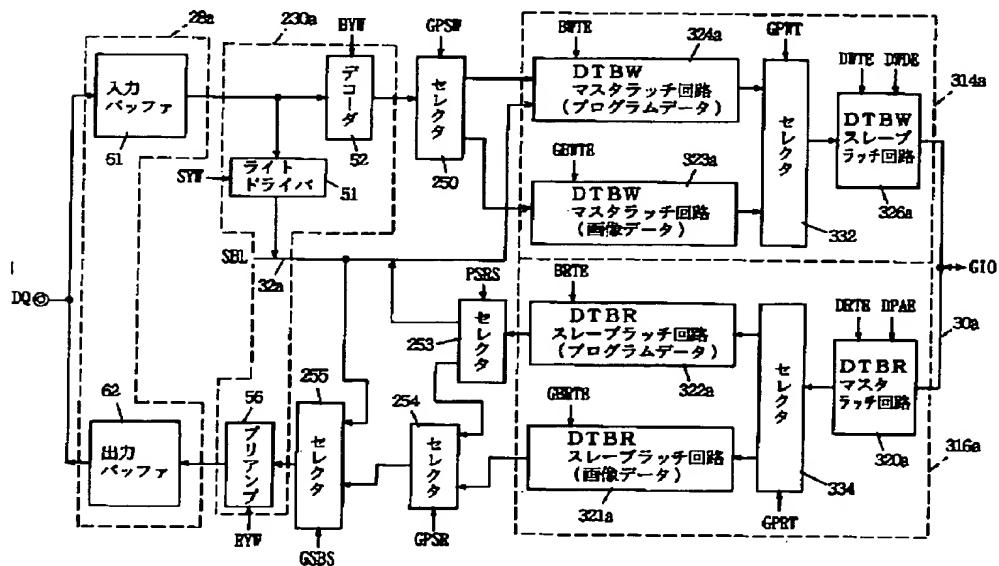
【図 22】



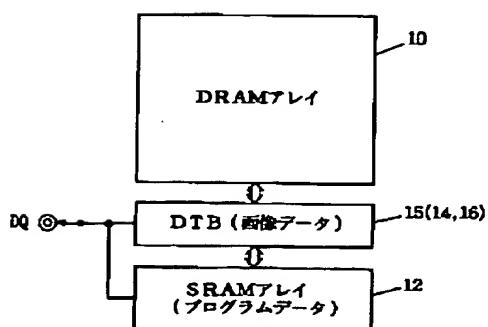
【図 1 1】



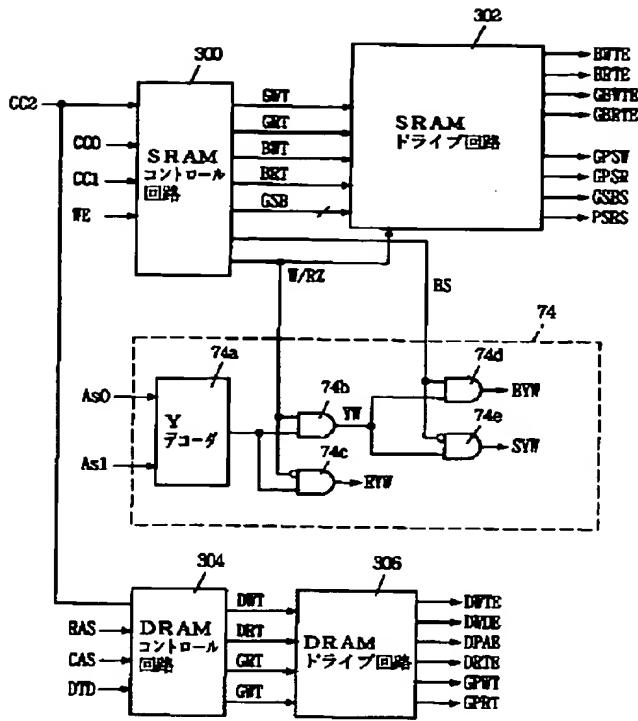
【図 1 2】



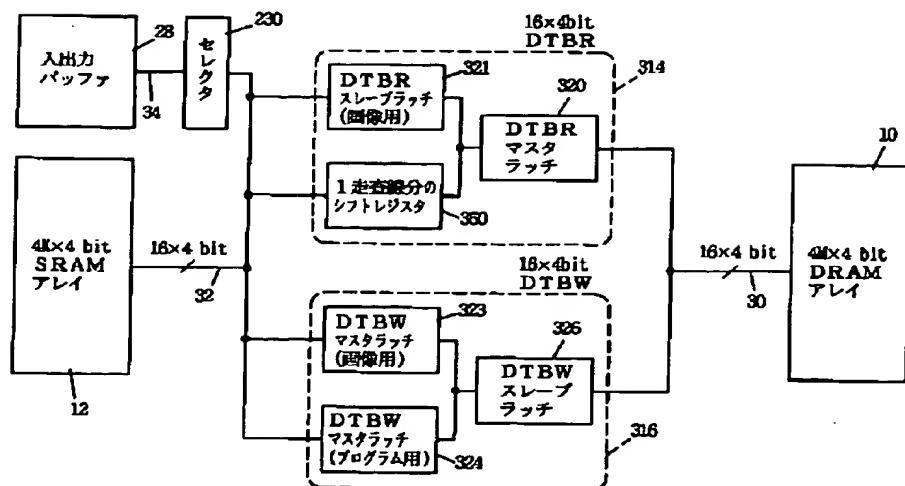
【図 2 8】



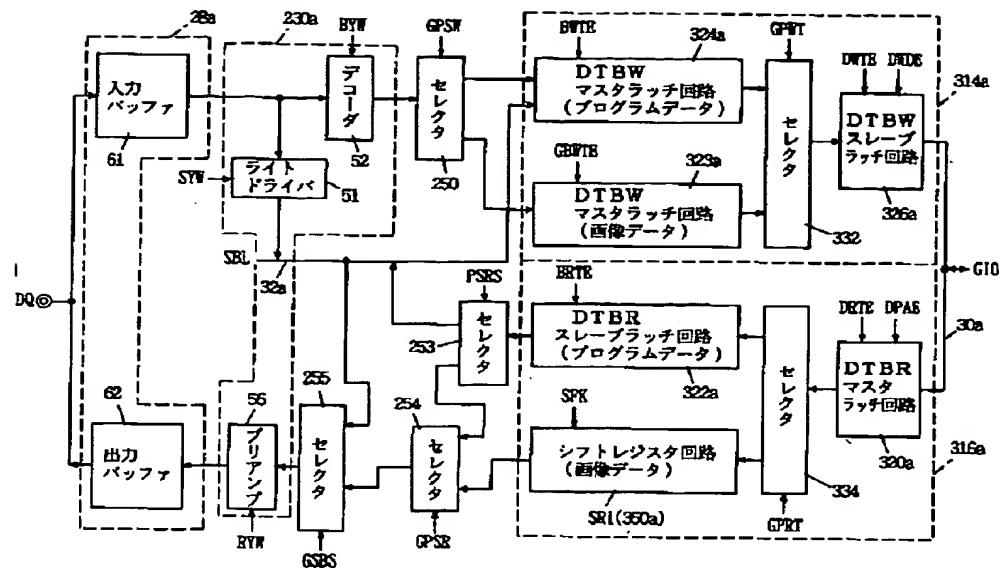
【図 1 3】



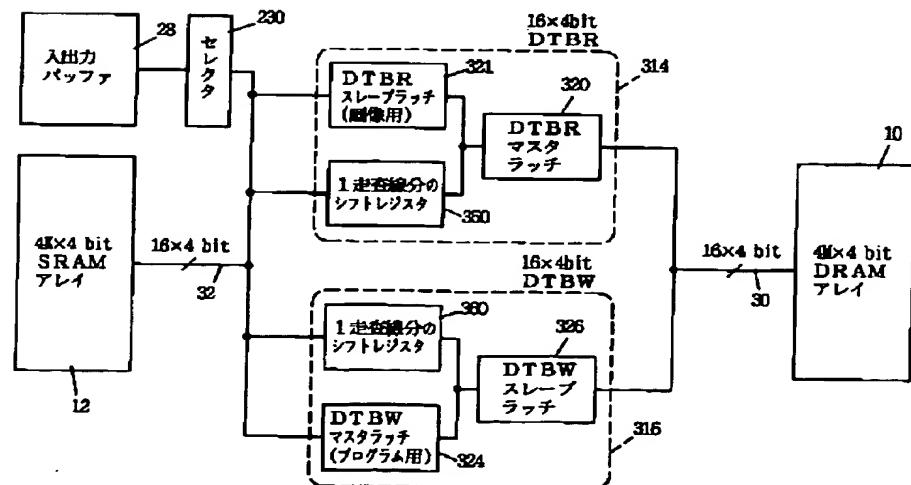
【図 1 4】



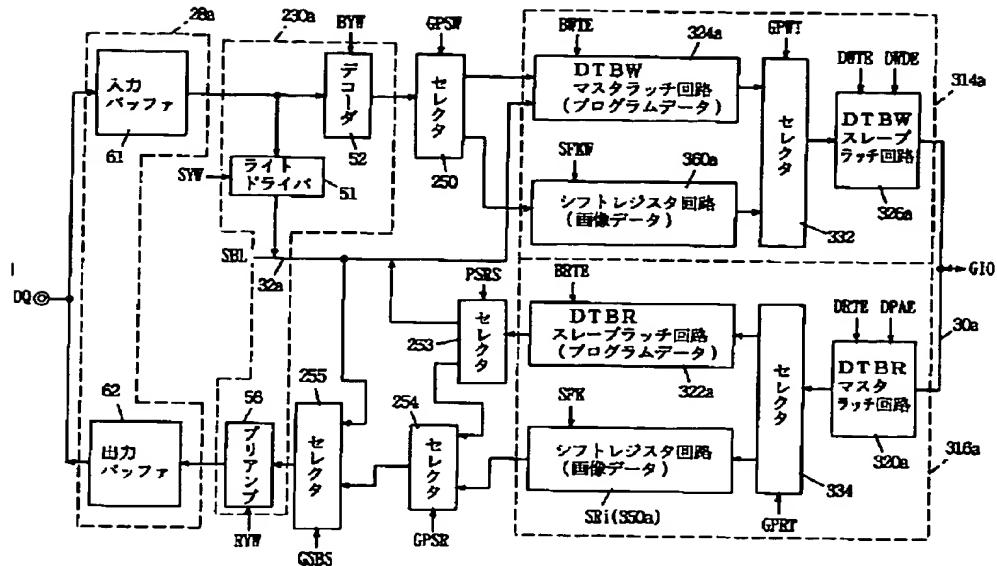
【図 1 7】



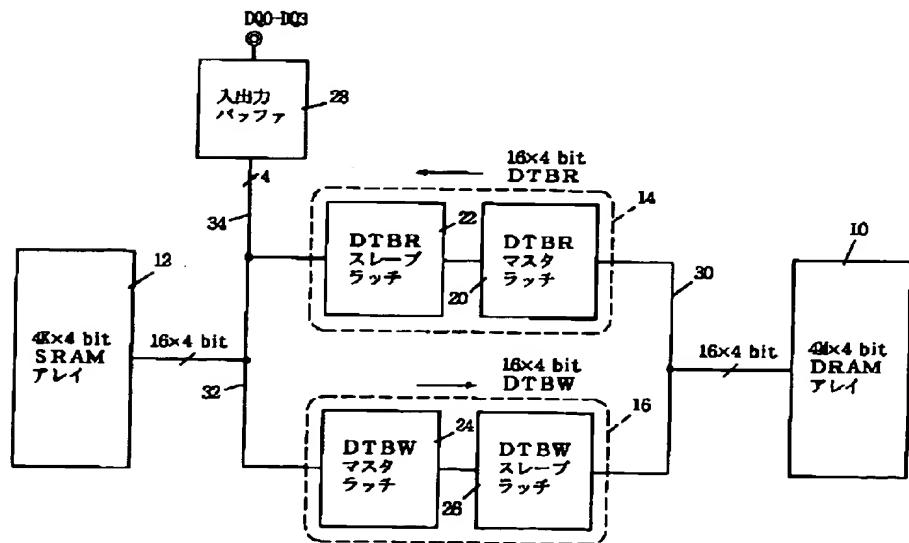
【図 1 9】



【図 2 0】



【図 2 5】



【図 26】

